

8-Bit-CMOS-FLASH-Mikrocontroller

Typenvarianten

Typenbezeichnung	Gehäuseformen	Pin-Anzahl
PIC16F873	PDIP, SOIC	28 Pins
PIC16F874	PDIP, PLCC, QFP	40 Pins
PIC16F876	PDIP, SOIC	28 Pins
PIC16F877	PDIP, PLCC, QFP	40 Pins

Pinfunktionen

Pinbezeichnung	Funktionsbeschreibung	In/Out	Spannungswert
VDD	Betriebsspannung	In	5 V oder 3 V
VSS	Masseanschluß	Out	0 V
/MCLR	Reset-Eingang, aktiv low oder Programmierspannungseingang	In	VDD
OSC1	Oszillatoreingang	In	analog
OSC2	Oszillatorausgang (bei XTAL-Option: Invertierung des OSC1-Signals; bei RC-Option: Default RCCLK-Output)	Out	XTAL(analog), RC(VDD)
RA(0...5)	6-Bit allg. I/O-Register (RA0..3 und RA5 auch als Analog-Inputs verwendbar, RA4 als Takteingang f. Timer0)	In/Out	VDD
RB(0...7)	8-Bit allg. I/O-Register (Interrupts werden bei Pegelwechsel ausgelöst)	In/Out	VDD
RC(0...7)	8-Bit allg. I/O-Register	In/Out	VDD

Kurzcharakteristik

- Hochleistungs-RISC-CPU
- Befehlssatz 35 Instruktionen
- Befehle zumeist in 1-Zyklen-Ausführung
- Operationsgeschwindigkeit DC - 20 MHz Takt, DC - 200 ns Befehlszyklus
- bis zu 8K × 14 Worte FLASH-Programmspeicher
- bis zu 368 × 8 Bytes Datenspeicher (RAM)
- bis zu 256 × 8 Bytes EEPROM-Datenspeicher
- Pinkompatibel zu PIC16C73B/74B/76/77
- Interruptfähig bis zu 14 Quellen
- Hardware-Stack mit 8 Leveln Tiefe
- Adressierungsmodi: direkt, indirekt, relativ
- Power-On-Reset (POR)
- Power-Up-Timer (PWRT)
- Oszillator-Start-Up-Timer (OST)
- Watchdog-Timer mit eigenem On-Chip-RC-Oszillator für zuverlässigen Betrieb
- programmierbarer Code-Schutz
- leistungssparender SLEEP-Modus
- wählbare Oszillator-Optionen
- in-circuit-programmierbar

Anschlußbelegungen

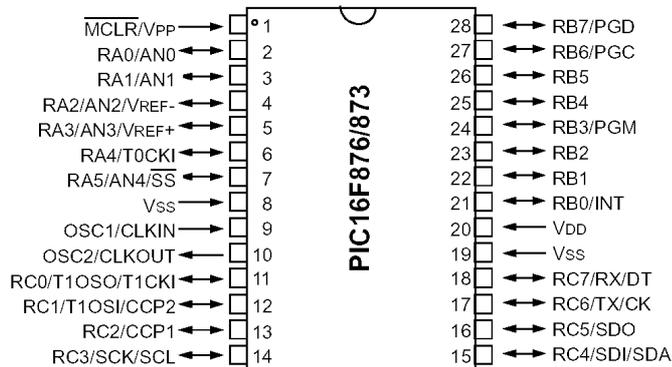


Bild 1: Pinbelegung der Typen PIC16F876/873

Beschreibung

Der PIC16F876 ist ein 8-Bit-Mikrocontroller in CMOS-FLASH-Technologie mit drei frei verwendbaren Ports. Er besitzt ein voll statisches Design und ist über zwei Pins seriell in-circuit-debug- und programmierbar. Der Prozessor verfügt über Schreib-/Lese-Zugriff auf den Programmspeicher und kann in einem weiten Betriebsspannungsbereich zwischen 2,0 V und 5,5 V eingesetzt werden. Der Betriebsstromverbrauch beträgt bei 3 V und 4 MHz Taktfrequenz weniger als 0,6 mA, bei 3 V und 32 kHz typisch 20 µA und im Standby-Betrieb weniger als 1 µA. Die Portpins erlauben einen maximalen I/O-Strom bis zu 25 mA. Drei Timer mit Vorteiler sind enthalten, ebenso zwei Capture- und Compare-Module mit einer Auflösung von je 16 Bit. Der integrierte ADC verfügt über eine Auflösung von 10 Bit.

Blockschaltbild

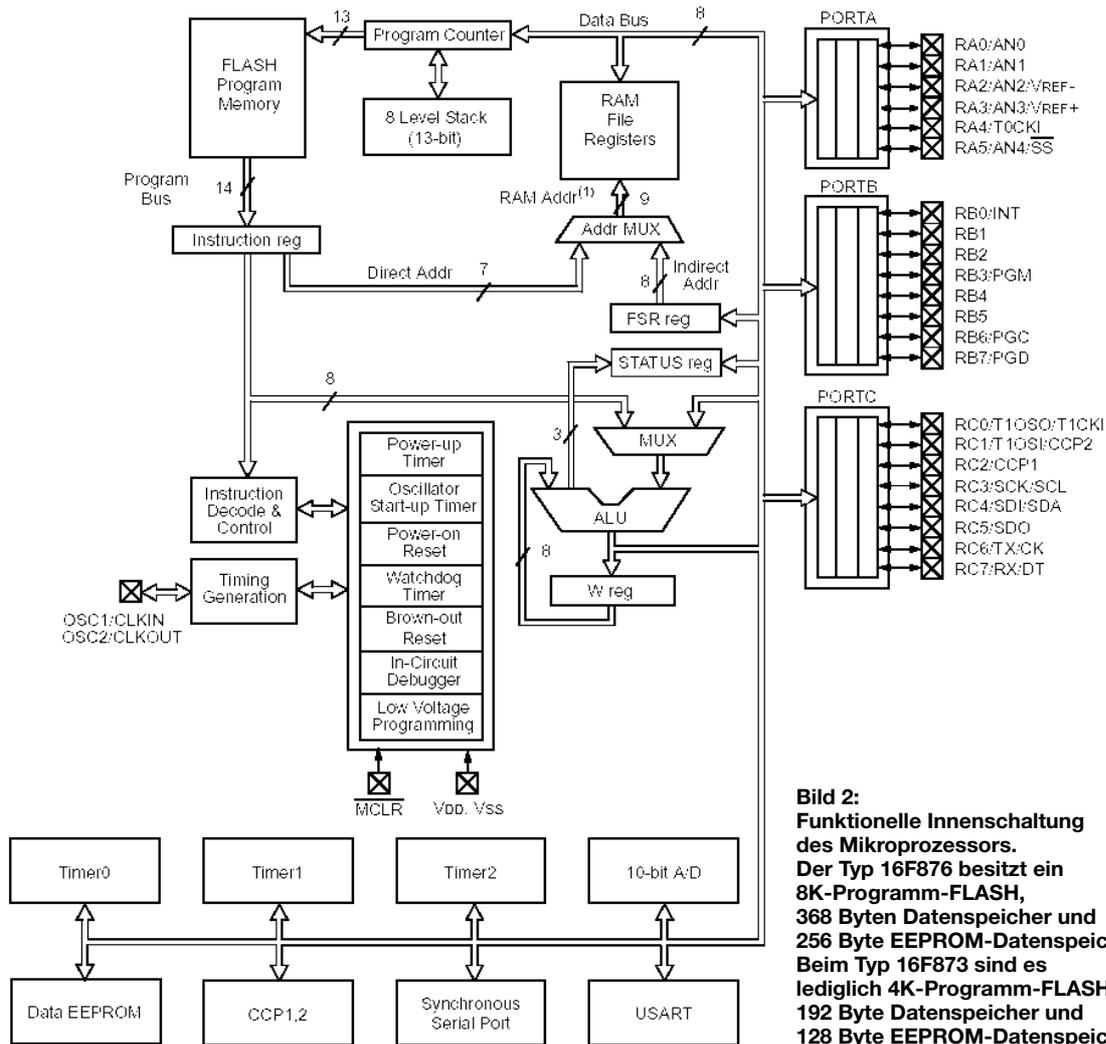


Bild 2:
Funktionelle Innenschaltung
des Mikroprozessors.
Der Typ 16F876 besitzt ein
8K-Programm-FLASH,
368 Byte Datenspeicher und
256 Byte EEPROM-Datenspeicher.
Beim Typ 16F873 sind es
lediglich 4K-Programm-FLASH,
192 Byte Datenspeicher und
128 Byte EEPROM-Datenspeicher.

Wichtige Registrieradressen

Adresse	Register	Adresse	Register	Adresse	Register	Adresse	Register
01h	TMR0	15h	CCPR1L	87h	TRISC	103h	STATUS
02h	PCL	16h	CCPR1H	8Ah	PCLATH	104h	FSR
03h	STATUS	17h	CCP1CON	8Bh	INTCON	106h	PORTB
04h	FSR	18h	RCSTA	8Ch	PIE1	10Ah	PCLATH
05h	PORTA	19h	TXREG	8Dh	PIE2	10Bh	INTCON
06h	PORTB	1Ah	RCREG	8Eh	PCON	10Ch	EEDATA
07h	PORTC	1Bh	CCPR2L			10Dh	EEADR
0Ah	PCLATH	1Ch	CCPR2H	91h	SSPCON2	10Eh	EEDATH
0Bh	INTCON	1Dh	CCP2CON	92h	PR2	10Fh	EEADRH
0Ch	PIR1	1Eh	ADRESH	93h	SSPADD	181h	OPTION_REG
0Dh	PIR2	1Fh	ADCON0	94h	SSPSTAT	182h	PCL
0Eh	TMR1L			98h	TXSTA	183h	STATUS
0Fh	TMR1H	81h	OPTION_REG	99h	SPBRG	184h	FSR
10h	T1CON	82h	PCL	9Eh	ADRESL	186h	TRISB
11h	TMR2	83h	STATUS	9Fh	ADCON1	18Ah	PCLATH
12h	T2CON	84h	FSR			18Bh	INTCON
13h	SSPBUF	85h	TRISA	101h	TMR0	18Ch	EECON1
14h	SSPCON	86h	TRISB	102h	PCL	18Dh	EECON2

Speicherorganisation

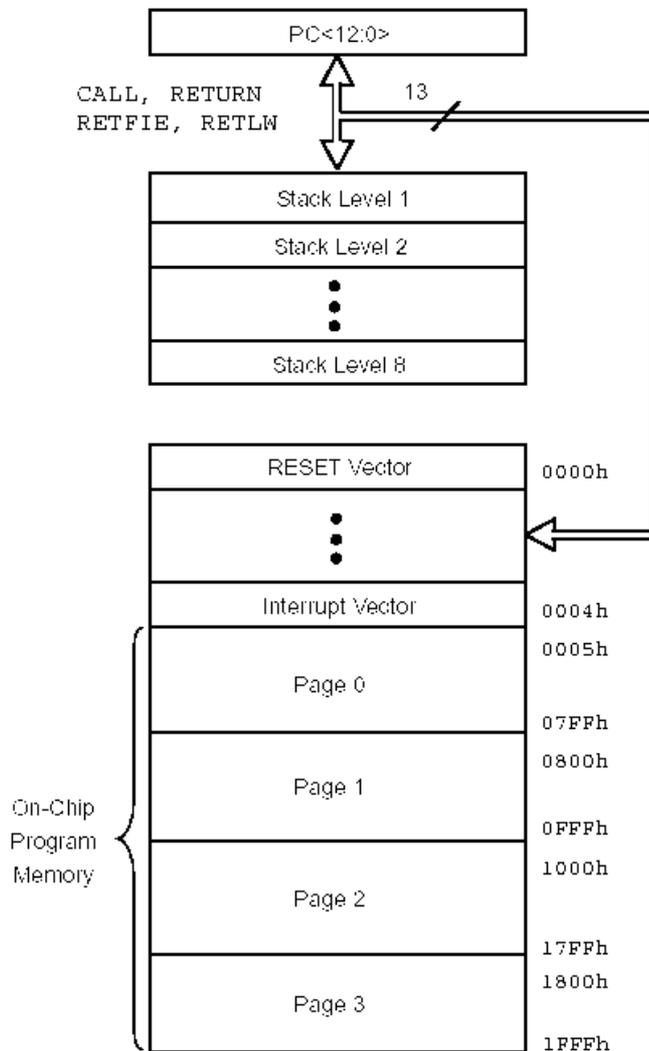


Bild 3: Anordnung der Adreßbereiche des Programmspeichers inklusive Stack

Jeder Mikroprozessor des Typs PIC 16F87X enthält drei Speicherblöcke. Programmspeicher und Datenspeicher besitzen separate Bussysteme, so daß auch konkurrierende Zugriffe erfolgen können.

Programmspeicher

Ein 13-Bit-Programmzähler ermöglicht die Adressierung des als $8K \times 14$ organisierten Programmspeicherbereichs. Der PIC16F876 besitzt $8K \times 14$ Worte FLASH-Programmspeicher, der F873 nur $4K \times 14$. Die Adressierung von Speicheradressen oberhalb dieses Bereichs bewirkt ein sogenanntes „wrap around“, die Adressierung beginnt also dann wieder bei Null, indem die „überzähligen“ Adreßbits ignoriert werden. Der Reset-Vektor befindet sich an Adresse 0000h und der Interrupt-Vektor an Adresse 0004h.

Datenspeicher

Der Datenspeicher ist in mehrere Speicherbänke partitioniert, welche die Register zur allgemeinen Verwendung (General Purpose Registers) und die Spezialfunktion-Register (Special Function Registers) enthalten.

Die Bits RP1 (STATUS<6>) und RP0 (STATUS<5>) bilden die Bank-Select-Bits zur Umschaltung der Speicherbänke für den Zugriff. Jede Speicherbank umfaßt 128 Bytes. Die unteren Adressen dieser Speicherbänke sind reserviert für die Special Function Registers. Oberhalb der Adressen dieser Register beginnt der Adreßbereich für die General Purpose Registers, implementiert als statischer RAM.

Da jede Speicherbank Special Function Registers enthält, können so programmtechnisch häufig benutzte Register in die jeweils anderen Speicherbänke „gespiegelt“ werden, um Zugriffe zu beschleunigen und notwendigen Programmcode zu reduzieren. Die Register lassen sich sowohl direkt als auch indirekt über das File Select Register (FSR) ansprechen.

EEPROM-Speicher

Sowohl Programm- als auch EEPROM-Speicher sind für Schreib- und Leszugriffe ausgelegt. Ein Zugriff im Programmspeicher wirkt auf ein Wort (14 Byte), ein Zugriff auf das EEPROM auf 1 Byte. Der EEPROM-Bereich ist für schnelle Zugriffe und die Ablage häufig benutzter Daten konzipiert.

Bankumschaltung mit den Bank Select Bits RP1; RP0

RP1	RP0	Bank
0	0	0
0	1	1
1	0	2
1	1	3

Blockschaltbilder der Port-Pin-Ansteuerungen

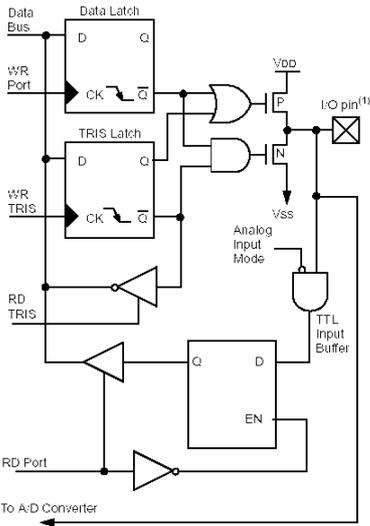


Bild 4: Blockdiagramm von RA3; RA0 und RA5. (1)
Die I/O-Pins besitzen Schutzdioden nach VDD und Masse.

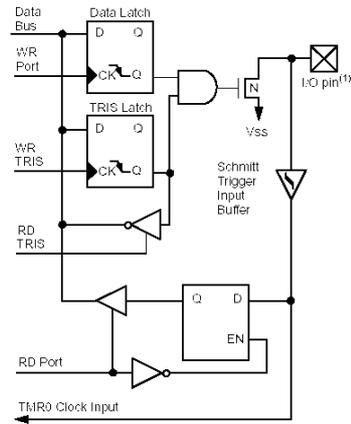


Bild 5: Blockdiagramm von RA4/T0CKI. (1)
Das I/O-Pin besitzt Schutzdioden nach VDD und Masse.

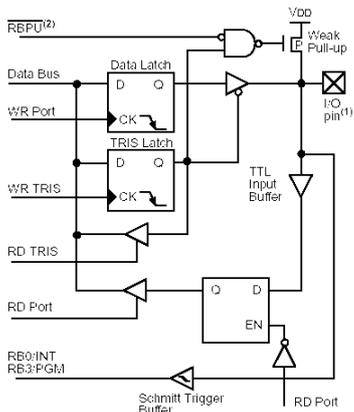


Bild 6: Blockdiagramm von RB3 und RB0. (1)
Die I/O-Pins besitzen Schutzdioden nach VDD und Masse. (2)
Zur Aktivierung der Weak-Pull-Ups sind die entsprechenden Bits im TRIS-Register zu aktivieren.

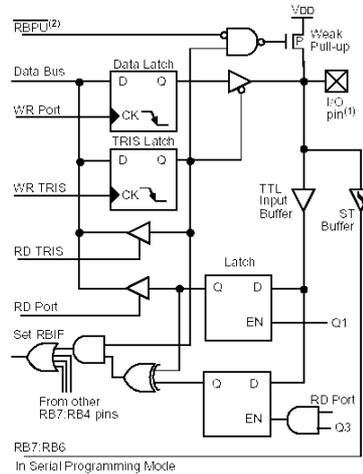


Bild 7: Blockdiagramm von RB7 und RB4. (1)
Die I/O-Pins besitzen Schutzdioden nach VDD und Masse. (2)
Zur Aktivierung der Weak-Pull-Ups sind die entsprechenden Bits im TRIS-Register zu aktivieren.

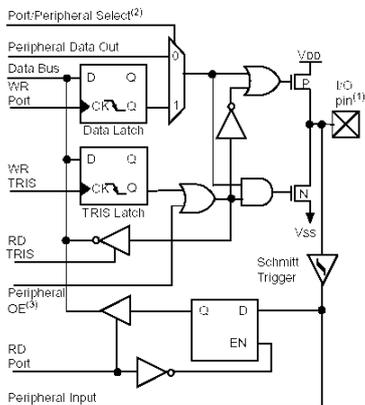


Bild 8: Blockdiagramm von RC<2:0> und RC<7:5>. (1)
Die I/O-Pins besitzen Schutzdioden nach VDD und Masse. (2)
Hier erfolgt die Umschaltung zwischen Portdaten und peripherem Output. (3) OE ist nur aktiviert, wenn (2) aktiv ist.

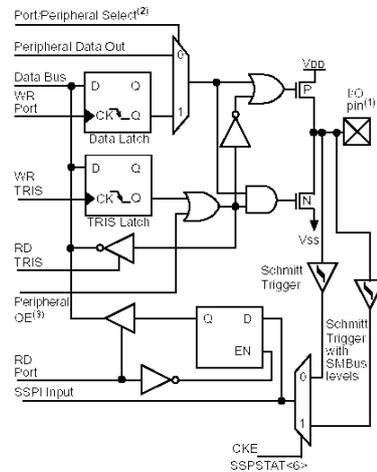


Bild 9: Blockdiagramm von RC<4:3>. (1)
Die I/O-Pins besitzen Schutzdioden nach VDD und Masse. (2)
Hier erfolgt die Umschaltung zwischen Portdaten und peripherem Output. (3) OE ist nur aktiviert, wenn (2) aktiv ist.