

DDS – direkte digitale Signalerzeugung (1)

Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannung, Analogteil	U_{BA}		4	V
Betriebsspannung, Digitalteil	U_{BD}		4	V
Betriebsspannung, Ladungspumpe	U_{BL}		6	V
digitale Eingangsspannung	U_{ED}	-0,7	U_{BD}	V
digitaler Ausgangsstrom	I_{AD}		5	mA
Betriebstemperatur	T_B	-40	85	°C

Kennwerte ($U_{BA} = U_{BD} = 3,3$ V, $U_{BL} = 5$ V, $R_{CPISET} = 2,4$ k Ω , $f_{REFCLK} = 1$ GHz)

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
-----------	-------------	------	------	------	---------

Referenztakt

bei ausgeschaltetem Teiler	f_{REFCLK}	10		1000	MHz
bei eingeschaltetem Teiler	f_{REFCLK}	20		2000	MHz
Eingangskapazität	C_E		3		pF
Eingangswiderstand	R_E		1,5		k Ω
Eingangsempfindlichkeit	U_E	-20		+5	dBm

Digital-Analog-Umsetzung

Auflösung			10		Bit
Endwert des Ausgangsstroms	I_{AM}	5	20	40	mA
Verstärkungsfehler	ΔV_{DAC}	-10		10	% vom Endwert
Ausgangsimpedanz	R_A		100		k Ω
Verträglichkeitsspannung	U_V	$U_{BA}-1,5$		$U_{BA}+0,5$	V

Phasendetektor

Phasendetektorfrequenz	f_{PH}			150	MHz
Phasendetektorfrequenz bei eingeschaltetem 1:4-Teiler	f_{PH}			400	MHz

Ladungspumpe

Ladungspumpenstrom	I_L			4	mA
Genauigkeit von I_L	ΔI_L		2,5		%
Ausgangsspannung	U_{AL}			U_{BL}	V

Mischer

LO-Eingangsfrequenz	f_{LO}		400		MHz
HF-Eingangsfrequenz	f_{RF}			2	GHz
ZF-Ausgangsfrequenz	f_{IF}			2	GHz
Mischverstärkung	V_{MX}	0	3,5		dB
LO-Eingangsspegel	U_{ELO}	-10		5	dBm
HF-Eingangsspegel	U_{ERF}	-20			dBm
Eingangswiderstand an RF, IF	R_E		1		k Ω

Logik

High-Eingangsspannung	U_{EH}	2			V
Low-Eingangsspannung	U_{EL}			0,8	V
High-Eingangsstrom	I_{EH}			12	μ A
Low-Eingangsstrom	I_{EL}			12	μ A
Eingangskapazität	C_E		3		pF

Spannungsversorgung

Verlustleistung					
im ungünstigsten Fall	P_{VMax}	2	2,5		W
im Power-Down-Mode des Mixers	P_{VPD}	65	100		mW
des Phasendetektor und der Ladungspumpe bei $f_{PH} = 100$ MHz	P_{VMX}	60	75		mW
	P_{VPH}	350	435		mW

Kurzcharakteristik

- Eingangsfrequenz bis zu 2 GHz
- integrierter 10-Bit-D/A-Umsetzer
- Phasenrauschen < 145 dBc/Hz bei 1 kHz Offset
- 32 Bit breites, programmierbares Frequenzregister
- serielles und vereinfachtes 8-Bit-Parallelinterface zur Steuerung
- automatischer Frequenzhub möglich

Beschreibung

Der AD9858 ist ein Schaltkreis zur direkten digitalen Signalerzeugung (DDS) mit einem 10-Bit-D/A-Umsetzer. Er ist zur Erzeugung von Sinusschwingungen von minimal 400 MHz geeignet, wobei schnelle und aufgrund des 32 Bit breiten Frequenzregisters genaue Frequenzsprünge realisierbar sind.

Der AD9858 enthält einen Phasendetektor und eine Ladungspumpe für Syntheseschaltungen, die eine Hochgeschwindigkeits-DDS und eine Phasenregelschleife erfordern.

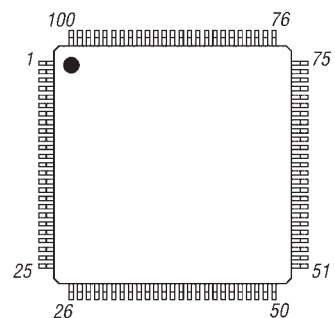
Im Schaltkreis wurde außerdem ein analoger Mischer integriert, sodass auch der Einsatz in Frequenzumsetzerschleifen oder Tunern möglich ist.

Da der Eingangstakt über einen 2:1-Teiler geführt werden kann, sind extern Takte bis zu 2 GHz nutzbar.

Hersteller

Analog Devices, One Technology Way, P.O.Box 9106, Norwood, MA 02062-9106, USA, Toshiba, www.analog.com

Anschlussbelegung



Gehäuseabmessungen:

14 mm × 14 mm

Pinabstände: 0,5 mm

Bild 1: Pinbelegung (EPAD100)

Anschlussbelegung

Pin 1...4, 9...12: Datenleitungen des Parallelports (D7...D0)

Pin 5, 6, 21, 28, 95, 96: Masse des Digitalteils (DGND)

Pin 7, 8, 20, 23...27, 93, 94: Betriebsspannung des Digitalteils (DVDD)

Pin 13...18: wenn Paralleldatenport aktiv, dann Adressauswahl (ADDR5...ADDR0)

Pin 16: Reset des seriellen IO-Bus-Controllers des seriellen Ports (IORESET)

Pin 17: Datenausgang des seriellen Ports (SDO)

Pin 18: Dateneingang des seriellen Ports (SDIO)

Pin 19: Schreibimpuls für Paralleldatenport oder Schreibtakt für seriellen Port (WR/SCLK)

Pin 22: Leseimpuls für Paralleldatenport oder Chipauswahl für seriellen Port (RD/CS)

Pin 29, 30, 37...39, 41, 42, 49, 50, 52, 69, 74, 80, 85, 87, 88: Masse des Analogteils (AGND)

Pin 31, 32, 35, 36, 40, 43, 44, 47, 48, 51, 70, 73, 77, 86, 89, 90: Betriebsspannung des Analogteils (AVDD)

Pin 33/34: normaler/invertierter Referenztakteingang (REFCLK, /REFCLK)

Pin 45, 46: invertiertes/normales Eingangssignal vom lokalen Oszillator, (/LO, LO)

Pin 53, 54: invertiertes/normales HF-Eingangssignal (/RF, RF)

Pin 55, 56: normales/invertiertes ZF-Ausgangssignal (IF, /IF)

Pin 57, 58: invertiertes/normales Phasen-Frequenz-Detektoreingangssignal (/PFD, PFD)

Pin 59, 60, 75, 76: nicht beschaltet

Pin 61: Ladungspumpe, Steuereingang (CPISET)

Pin 62, 67: Betriebsspannung, Ladungspumpe (CPVDD)

Pin 63, 68: Masse, Ladungspumpe (CPGND)

Pin 64: schneller Ausgang der Ladungspumpe (CPFL)

Pin 65, 66: Ausgang der Ladungspumpe (CP)

Pin 71, 72: normale/invertierte Phasen-Frequenz-Detektorrückkopplung (DIV, /DIV)

Pin 78: Entkopplung der Digital-Analog-Umsetzung (DACBP)

Pin 79: Referenzstrom für Digital-Analog-Umsetzung (DACISET)

Pin 81, 82: normales Ausgangssignal der D/A-Umsetzung (IOUT)

Pin 83, 84: invertiertes Ausgangssignal der D/A-Umsetzung (/IOUT)

Pin 91: Modusauswahl (SPSELECT)

Pin 92: Reset (RESET)

Pin 97, 98: Auswahl des internen Profils (PS0, PS1)

Pin 99: Frequenz-Update (FUD)

Pin 100: Synchronisationstaktausgang (SYNCLK)

Blockschaltbild

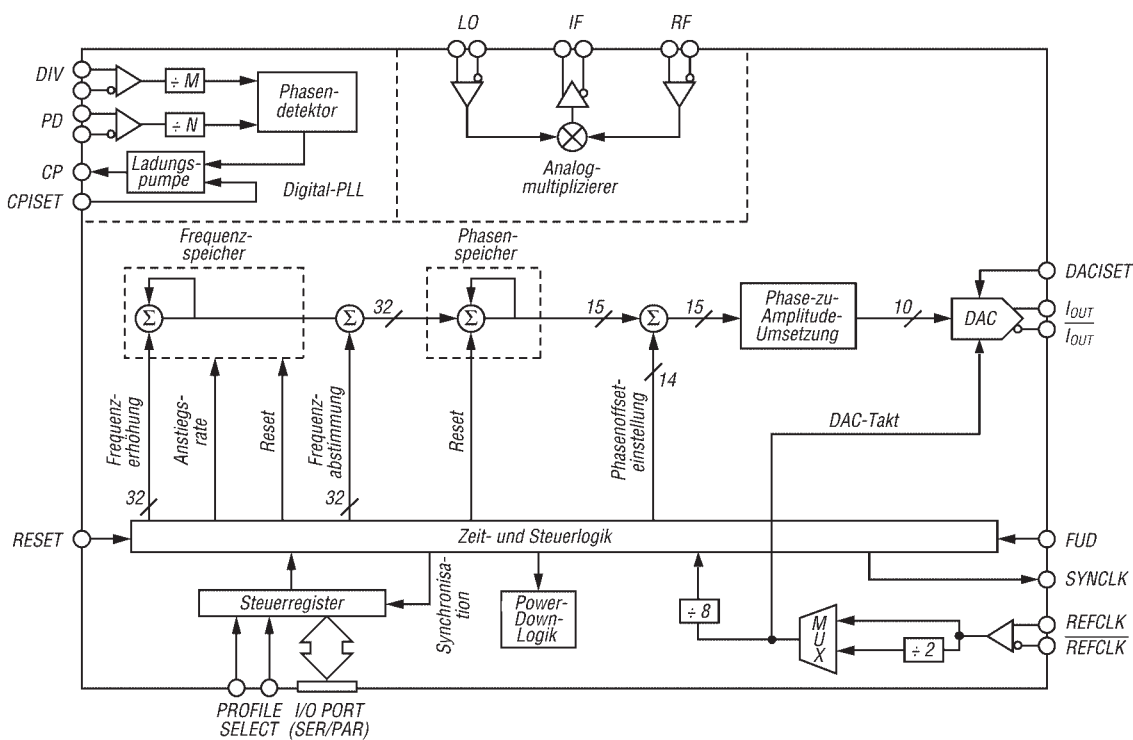


Bild 2: Blockschaltbild des AD9858