

DDS – direkte digitale Signalerzeugung (1)

Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannung, Digitalteil Pin 43	U_{BIO}		4	V
Betriebsspannung Eingangsspannung bei $U_{\text{BIO}} = 3,3 \text{ V}$	U_{B}		2	V
Eingangsspannung bei $U_{\text{BIO}} = 1,8 \text{ V}$	U_{E}	-0,7	5,25	V
Ausgangsstrom	I_{A}	-0,7	2,2	V
Betriebstemperatur	ϑ_{B}		5	mA
		-40	105	°C

Kennwerte ($U_{\text{BIO}} = 3,3 \text{ V} \pm 5 \%$, $U_{\text{BA}} = U_{\text{BD}} = 1,8 \text{ V} \pm 5 \%$, $R_{\text{Set}} = 3,92 \text{ k}\Omega$, $f_{\text{CLK}} = 20 \text{ MHz}$, Vervielfacher = 20)

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
Betriebsspannung					
I/O-Zellen	U_{BIO}	3,128	3,3	3,481	V
oder	U_{BIO}	1,706	1,8	1,899	V
Analogteil	U_{BA}	1,706	1,8	1,899	V
Digitalteil	U_{BD}	1,706	1,8	1,899	V
Referenztakt					
Frequenz ohne Vervielfacher	f_{CLK}	1		400	MHz
Frequenz mit 4:1-Vervielfacher	f_{CLK}	20		100	MHz
Frequenz mit 20:1-Vervielfacher	f_{CLK}	4		20	MHz
Eingangskapazität	C_{CLK}		3		pF
Eingangsimpedanz	Z_{CLK}		1,5		k Ω
Eingangsleistung	P_{CLK}	-15		3	dBm
Ausgangssignal					
Auflösung			14		Bit
Endwert des Ausgangsstroms	I_{Amax}	5	10	15	mA
Verträglichkeitsspannung	U_{AV}	$U_{\text{BA}} - 0,5$		$U_{\text{BA}} + 0,5$	V
Ausgangskapazität	C_{A}		5		pF
Restphasenrauschen					
bei 1 kHz Offset, $f_{\text{A}} = 40 \text{ MHz}$					
ohne Vervielfacher	P_{R}		-132		dBc/Hz
mit 4:1-Vervielfacher	P_{R}		-115		dBc/Hz
mit 20:1-Vervielfacher	P_{R}		-105		dBc/Hz
Spannung unerwünschter Ausgangsfrequenzen					
bei $f_{\text{A}} = 1 \dots < 10 \text{ MHz}$	U_{A}		73		dBc
bei $f_{\text{A}} = 10 \dots < 40 \text{ MHz}$	U_{A}		67		dBc
bei $f_{\text{A}} = 40 \dots < 80 \text{ MHz}$	U_{A}		62		dBc
bei $f_{\text{A}} = 80 \dots < 120 \text{ MHz}$	U_{A}		58		dBc
bei $f_{\text{A}} = 120 \dots 160 \text{ MHz}$	U_{A}		52		dBc
Leistungsbedarf					
Einton-Modus	P_{E}		162	171	mW
Power-Down-Modus	P_{P}		150	160	mW
Schlafmodus	P_{S}		20	27	mW
Synchronisation					
maximale Frequenz					
bei $U_{\text{B43}} = 1,8 \text{ V}$	f_{Sync}	62,5			MHz
bei $U_{\text{B43}} = 3,3 \text{ V}$	f_{Sync}	100			MHz

Kurzcharakteristik

- bis zu 400 Mio. Samples/s
- integrierter 14-Bit-D/A-Umsetzer
- Frequenzeinstellung in 2^{32} Stufen
- Phasenrauschen $\leq 120 \text{ dBc/Hz}$
- programmierbare Phasen- und Amplitudenschwankungen
- 25-MBit/s serieller I/O-Port
- 1,8 V Betriebsspannung
- Referenztaktvervielfacher 4:1 bis 20:1
- interner Oszillator, ansteuerbar durch Quarz
- Leistungssteuerung per Soft- und Hardware
- Synchronisation mehrerer Schaltkreise
- Phasenmodulation möglich
- im 48-poligen TQFP-Gehäuse verfügbar (SMD)

Beschreibung

Der AD9951 ist ein Schaltkreis zur direkten digitalen Signalerzeugung (DDS) mit einem 14-Bit-D/A-Umsetzer. Er ist zur Erzeugung von Sinusschwingungen bis zu 200 MHz geeignet, wobei schnelle und aufgrund des 32 Bit breiten Frequenzregisters genaue Einstellungen möglich sind.

Die gesamte Steuerung kann über einen seriellen Zweidraht- oder Dreidrahtbus erfolgen. Durch die zuschaltbaren Vervielfacher lassen sich relativ niederfrequente Referenztakten nutzen.

Hersteller

Analog Devices, One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, USA, www.analog.com

Anschlussbelegung

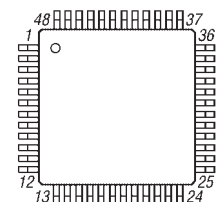


Bild 1: Pinbelegung (TQFP48)

Anschlussbelegung

Pin 1: Puffer in I/O-Register übernehmen (I/O UPDATE)
 Pin 2, 34: 1,8-V-Betriebsspannung des Digitalteils (DVDD)
 Pin 3, 33, 42, 47, 48: Masse des Digitalteils (DGND)
 Pin 4, 6, 13, 16, 18, 19, 25, 27, 29: 1,8-V-Betriebsspannung des Analogteils (AVDD)
 Pin 5, 7, 14, 15, 17, 22, 26, 28, 30...32, 49: Masse des Analogteils (AGND)
 Pin 8, 9: komplementärer und normaler Eingang für Referenztakt bzw. Oszillator (/REFCLK, REFCLK)
 Pin 10: Ausgang der Oszillatorsektion (CRYSTAL OUT)

Pin 11: Auswahl der Betriebsart der Oszillatorsektion (CLKMODE-SELECT)
 Pin 12: Nullpunktkompensation des Vervielfacher-PLL-Filters (LOOP_FILTER)
 Pin 20, 21: komplementärer und normaler D/A-Umsetzerausgang (/IOUT, IOUT)
 Pin 23: D/A-Umsetzerentkopplung (DACBP)
 Pin 24: ReferenzstromEinstellung für D/A-Umsetzer (RSET)
 Pin 35: Reduzierung der Ausgangsleistung (PWRDWNCTL)
 Pin 36: Rücksetzeingang (RESET)

Pin 37: Synchronisation für das I/O-Port (IOSYNC)
 Pin 38: serieller Dateneingang beim Dreidrahtbus (SDO)
 Pin 39: IC-Auswahl (/CS)
 Pin 40: Datentakt für serielle Übertragung (SCLK)
 Pin 41: serieller Dateneingang beim Dreidrahtbus bzw. bidirektionaler Datenport beim Zweidrahtbus (SDIO)
 PIN 43: 3,3-V-Betriebsspannung des Digitalteils (DVDD_I/O)
 Pin 44: Eingang für Synchronisation mehrerer ICs (SYNC_IN)
 Pin 45: Takt ausgang für Synchronisation mehrerer ICs (SYNC_CLK)
 Pin 46: Steuerung der Ein-/Ausschaltfunktion (OSK)

Blockschaltbild

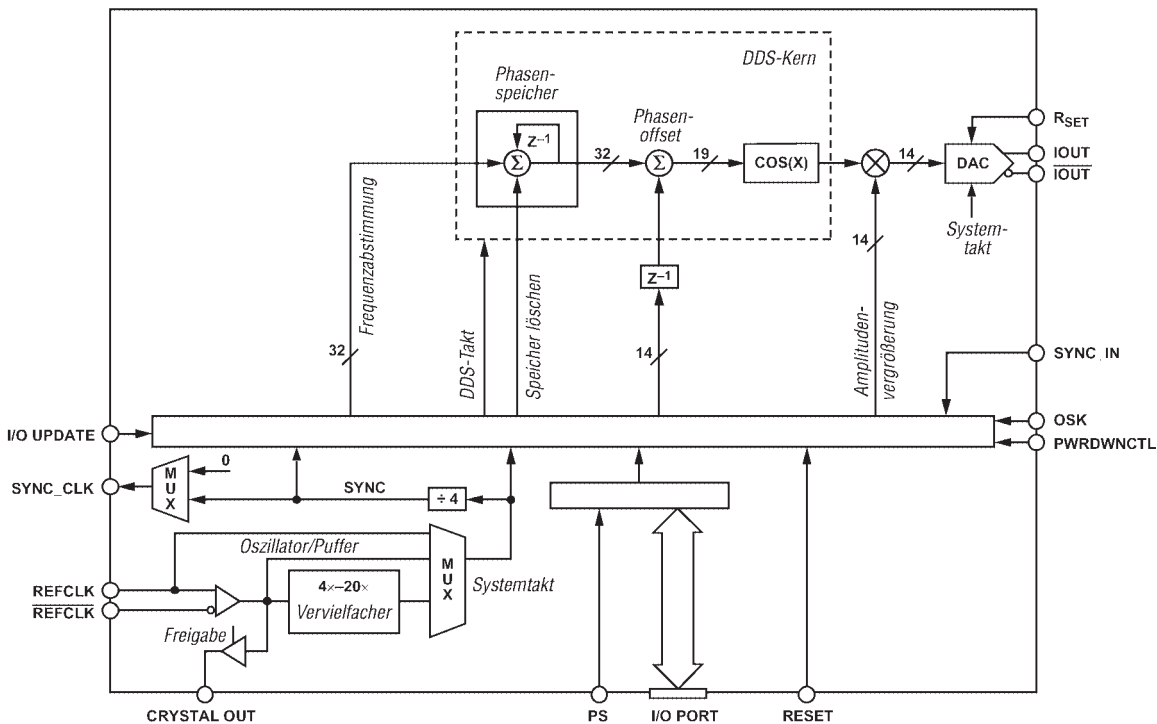


Bild 2: Blockschaltbild des AD9951