

Zweikanal-DDS – direkte digitale Signalerzeugung (1)

Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannung, Digitalteil Pin 49	U_{BIO}		4	V
Betriebsspannung Analog-/Digitalteil	$U_{\text{BA}}, U_{\text{BD}}$		2	V
Eingangsspannung des Digitalteils bei $U_{\text{BIO}} = 3,3 \text{ V}$	U_{E}	-0,5	4	V
Ausgangsstrom des Digitalteils	I_{A}		5	mA
Gesamtverlustleistung	P_{Vges}		300	mW
Betriebstemperatur	ϑ_{B}	-40	85	°C
Löttemperatur (10 s)	$\vartheta_{\text{Löt}}$		300	°C

Kennwerte ($U_{\text{BIO}} = 3,3 \text{ V} \pm 5 \%$, $U_{\text{BA}} = U_{\text{BD}} = 1,8 \text{ V} \pm 5 \%$, $R_{\text{Set}} = 1,91 \text{ k}\Omega$, $f_{\text{CLK}} = 500 \text{ MHz}$, ohne Vervielfacher)

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
Spannungsversorgung					
I/O-Zellen	U_{BIO}	3,128	3,3	3,481	V
Analogteil	U_{BA}	1,706	1,8	1,899	V
Digitalteil	U_{BD}	1,706	1,8	1,899	V
Referenztakt					
Frequenz ohne Vervielfacher	f_{CLK}	1		500	MHz
Frequenz mit Vervielfacher	f_{CLK}	10		125	MHz
Eingangsleistung	P_{E}	-5		3	dBm
Eingangskapazität	C_{E}		2		pF
Eingangsimpedanz	R_{E}		1,5		k Ω
Ausgangssignal					
Auflösung				10	Bit
Endwert des Ausgangsstroms	I_{Amax}	1,25		10	mA
Verstärkungsfehler	ΔV	-10		10	%
Verträglichkeitsspannung	U_{AV}	$U_{\text{BA}} - 0,5$		$U_{\text{BA}} + 0,5$	V
Ausgangskapazität	C_{A}		3		pF
Amplitudenfehler zwischen den Kanälen	ΔU_{A}	-2,5		2,5	%
Ausgangsstromoffset	I_{AOff}		1	25	μA
Dämpfung von Kanal zu Kanal	a_{K}	72			dB
Phasenrauschen					
bei 1 kHz Offset, $f_{\text{A}} = 40,1 \text{ MHz}$					
ohne Vervielfacher	P_{R}		-142		dBc/Hz
mit 1:5-Vervielfacher	P_{R}		-130		dBc/Hz
mit 1:20-Vervielfacher	P_{R}		-117		dBc/Hz
Spannung unerwünschter Ausgangsfrequenzen					
bei $f_{\text{A}} = 1 \dots < 20 \text{ MHz}$	U_{A}		-65		dBc
bei $f_{\text{A}} = 20 \dots < 60 \text{ MHz}$	U_{A}		-62		dBc
bei $f_{\text{A}} = 60 \dots < 100 \text{ MHz}$	U_{A}		-59		dBc
bei $f_{\text{A}} = 100 \dots < 150 \text{ MHz}$	U_{A}		-56		dBc
bei $f_{\text{A}} = 150 \dots < 200 \text{ MHz}$	U_{A}		-53		dBc
Datenübertragung					
Serieller Takt (SCLK)	f_{SCLK}			200	MHz
Minimale Gültigkeitszeit der Daten beim Lesen	t_{R}	12			ns
Leistungs-/Strombedarf					
Einton-Modus beider Kanäle	P_{E}		315	380	mW
Power-Down-Modus	P_{P}		13		mW

Kurzcharakteristik

- 2 synchronisierte DDS-Kanäle mit bis zu 500 Mio. Samples/s
- 2 integrierte 10-Bit-D/A-Umsetzer
- Frequenzeinstellung in 2^{32} Stufen
- Einstellung der Phase in 2^{14} Stufen
- Vervielfacher zu- und zwischen 1:4 bis 1:20 umschaltbar
- externer Referenztakt oder interner Quarzoszillator
- Synchronisation mehrerer Schaltkreise möglich
- im 56-poligen LFSCP-Gehäuse verfügbar (SMD)

Beschreibung

Der AD9958 ist ein Schaltkreis zur direkten digitalen Signalerzeugung (DDS) mit je einem 10-Bit-D/A-Umsetzer für die beiden synchron arbeitenden Kanäle. Er ist zur Erzeugung von Sinusschwingungen bis zu 250 MHz geeignet, wobei schnelle und aufgrund des 32 Bit breiten Frequenzregisters genaue Einstellungen möglich sind.

Durch das 14 Bit breite Register für den Phasenoffset der Kanäle lassen sich beliebige Phasenlagen zwischen den beiden Ausgangssignalen erreichen. Die gesamte Steuerung des AD9958 kann über einen seriellen Zweidraht- oder Dreidrahtbus erfolgen. Durch die zu- und zwischen 1:4 bis 1:20 umschaltbaren Vervielfacher lassen sich relativ niederfrequente Referenztakte nutzen, ohne Einbuße an der maximal erzeugbaren Frequenz hinnehmen zu müssen.

Sollen mehrere AD9958 in einem Projekt zum Einsatz kommen, so lassen sich die einzelnen ICs synchronisieren.

Hersteller

Analog Devices, One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, USA, www.analog.com

Bezugsquelle

FA-Leserservice
AD9958 31,80 €

Anschlussbelegung

Pin 1: Synchronisationseingang (SYNC_IN)
 Pin 2: Synchronisationsausgang (SYNC_OUT)
 Pin 3: Rücksetzeingang (MASTER_RESET)
 Pin 4: Reduzierung der Ausgangsleistung (PWR_DWN_CTL)
 Pin 5, 7, 11, 15, 19, 21, 26, 29, 30, 31, 33, 35, 36, 37, 39: 1,8-V-Betriebsspannung des Analogteils (AVDD)
 Pin 6, 10, 12, 16, 18, 20, 25: Masse des Analogteils (AGND)
 Pin 45, 55: 1,8-V-Betriebsspannung des Digitalteils (DVDD)
 Pin 44, 56: Masse des Digitalteils (DGND)
 Pin 8, 9: normaler und komplementärer D/A-Umsetzer-
 ausgang des Kanals 0 (CH0_IOUT, /CH0_IOUT)
 Pin 13, 14: normaler und komplementärer D/A-Umsetzer-
 ausgang des Kanals 1 (CH1_IOUT, /CH1_IOUT)
 Pin 17: Referenzstromeinstellung für alle D/A-Umsetzer
 (DAC_RSET)
 Pin 22, 23: komplementärer und normaler Eingang für
 Referenztakt bzw. Oszillator (/REF_CLK, REF_CLK)

Pin 24: Auswahl der Betriebsart der Oszillatorselektion
 (CLK_MODE_SEL)
 Pin 27: Nullpunktcompensation des Vervielfacher-PLL-
 Filters (LOOP_FILTER)
 Pin 28, 32, 34, 38: nicht beschaltet
 Pin 40...43: Dateneingänge zur Steuerung der
 Modulation, Akkumulatorumschaltung und Erhöhung/
 Verringerung der Ausgangsamplitude (P1, P2, P3, P4)
 Pin 46: Steuereingang für Datenübergabe von den
 Puffern zu den Akkumulatoren (I/O_UPDATE)
 Pin 47: IC-Auswahl (/CS)
 Pin 48: Datentakt für serielle Übertragung (SCLK)
 Pin 49: 3,3-V-Betriebsspannung des Digitalteils
 (DVDD_I/O)
 Pin 50: serieller Datenein-/ausgang (SDIO_0)
 Pin 51...53: serieller Datenein-/ausgang oder
 Erhöhung/Verringerung der Ausgangsamplitude
 (SDIO_1, SDIO_2, SDIO3)
 Pin 54: Taktoutput für Synchronisation mehrerer ICs
 (SYNC_CLK)

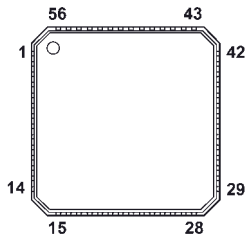


Bild 1:
Pinbelegung
(LFCSP-56)

Blockschaltbild

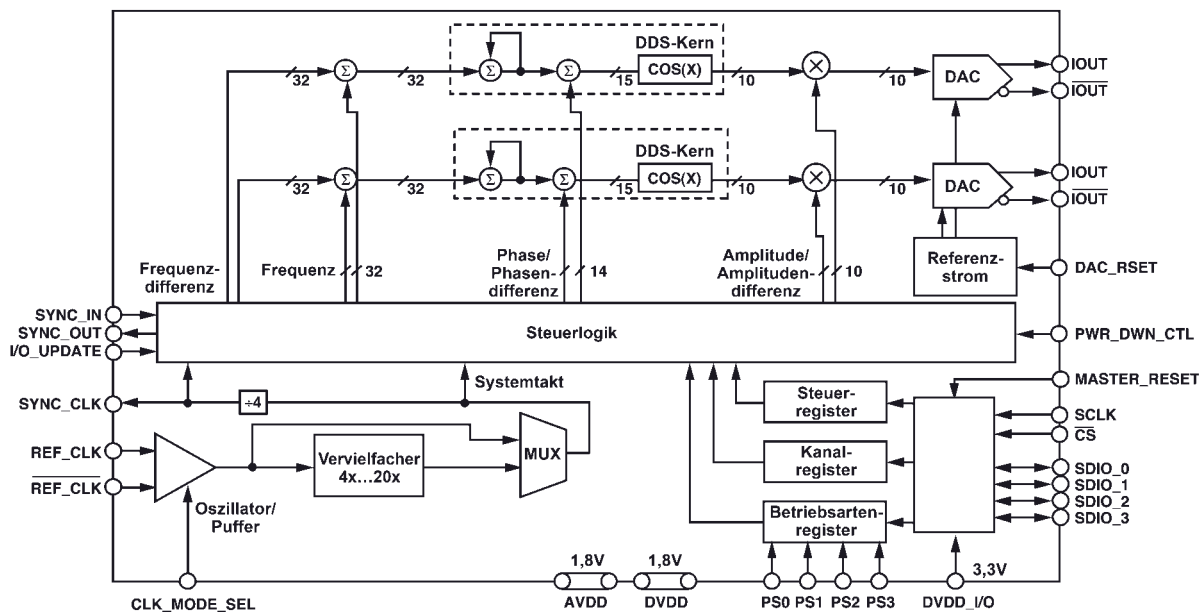


Bild 2: Blockschaltbild des AD9958