

Frequenzteiler :10 oder :11 bis 575 MHz

Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_B		8	V
ECL-Ausgangsstrom	I_{AELC}		50	mA
TTL-Ausgangsstrom	I_{ATTL}	-30		mA
Takteingangsspannung			2,5	V_{SS}

Kurzcharakteristik

- ECL-Teiler mit ECL-10-k Ω - und TTL-Ausgang
- Teilung :10, wenn PE1 oder PE2 = H
- Teilung :11, wenn PE1 und PE2 = L
- H am Master-set-Eingang setzt den Teiler in den elften Zustand
- Asynchronzähler
- Hersteller: Plessey

Kennwerte ($\delta_A = 25^\circ\text{C}$, $U_B = 4,75 \dots 5,5 \text{ V}$)

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
Betriebsspannung	U_B	4,75	5	5,5	V
Stromaufnahme bei $U_B = 5,5 \text{ V}$, Pin 6, 7, 13 NC	I_B			111	mA
H-Spannung bei $U_B = 5 \text{ V}$	U_H	3,9			V
L-Spannung bei $U_B = 5 \text{ V}$	U_L			3,5	V
Einsatztemperatur	∂_A	0		70	$^\circ\text{C}$
höchste Eingangsfrequenz	f_{emax}	575	650		MHz
niedrigste Eingangsfrequenz	f_{emin}			10	MHz

Anschlußbelegung

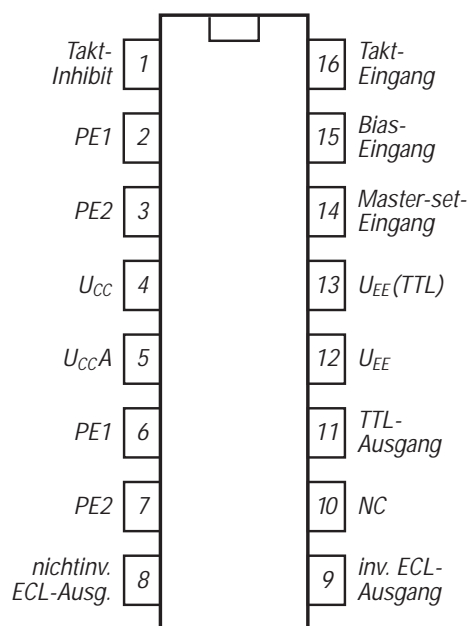


Bild 1: Pinbelegung des DIL-Gehäuses

Beschreibung und Einsatzhinweise

Der Takteingang ist ECL-kompatibel und kann daher auch direkt an einen TTL-Ausgang geschaltet werden. Eine kapazitive Kopplung ist ebenfalls möglich. Dabei wird vorteilhaft die intern generierte Vorspannung an den Eingang gelegt. Die Eingangsimpedanz ist frequenzabhängig.

Auch die Steuereingänge PE1 und PE2 sind ECL-kompatibel, und die internen Pull-up-Widerstände führen an Pin 6 und 7. Damit ist ein einfaches Interface zu TTL möglich.

Die beiden Ausgänge sind komplementär. Pull-down-Widerstände müssen extern vorgesehen werden. Schließt man einen Lastwiderstand von 50 Ω gegen -2 V an, so beträgt die Ausgangsspannung typisch 50 mV. Wird der TTL-Ausgang nicht benötigt, sollte Pin 13 freibleiben, was die Verlustleistung um typisch 20 mW senkt.

Es ist wichtig, alle Anschlüsse so kurz als möglich zu halten, um die Streuimpedanzen zu minimieren.

Interner Aufbau

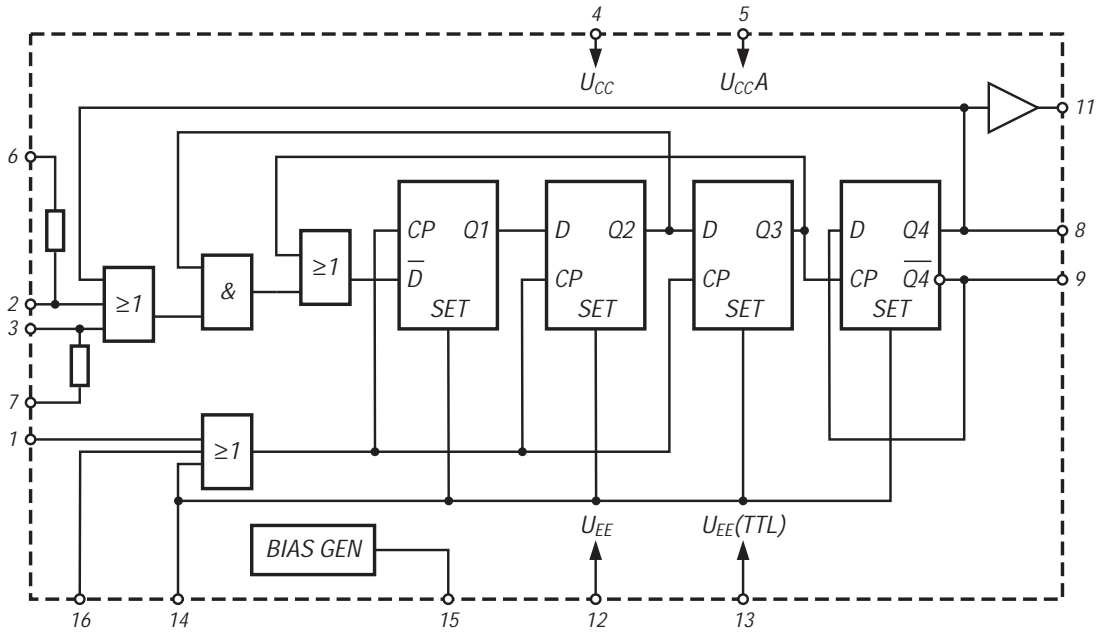


Bild 2: Innenaufbau des Frequenzteilers

Beschaltungsmöglichkeiten

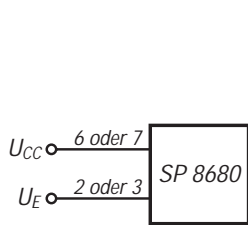


Bild 3: Low-speed-TTL-Kopplung

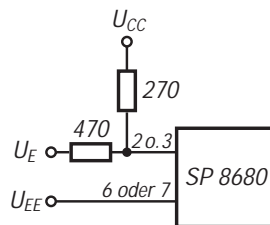


Bild 4: High-speed-TTL-Kopplung

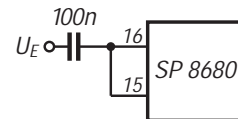


Bild 5: Kapazitive Kopplung mit Vorspannungsoptimierung

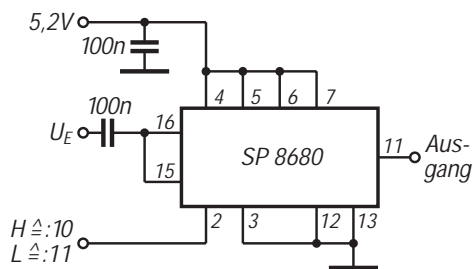


Bild 6: Typische allgemeine Anwendungsschaltung