

## Direkte digitale Signalerzeugung (DDS) mit 14 Bit Auflösung und 1 GS/s Samplerrate (1)

### Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannung Analog-/Digitalteil	$U_{BA}, U_{BD}$		2	V
Betriebsspannung Digitalteil; Pin 1	$U_{BIO}$		3,6	V
Betriebsspannung D/A-Umsetzer; Pin 14, 46, 47, 49	$U_{BDA}$		3,6	V
Eingangsspannung Digitalteil	$U_{ED}$	-0,5	$U_{BD}+0,5$	V
Betriebstemperatur	$\vartheta_B$	-40	85	°C

### Kennwerte ( $U_{BA} = 1,8$ V, $U_{BDA} = 3,3$ V, $U_{BD} = 1,8$ V, $U_{BIO} = 3,3$ V)

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
-----------	-------------	------	------	------	---------

### Spannungsversorgung

Digitalteil; Pin 1	$U_{BIO}$	3,135	3,3	3,465	V
Digitalteil; Pin 3, 5, 7	$U_{BD}$	1,71	1,8	1,89	V
Analogteil; Pin 14, 46, 47, 49	$U_{BDA}$	3,135	3,3	3,465	V
Analogteil; Pin 37	$U_{BCMOS}$	1,71	3,3	3,465	V
Analogteil; andere Pins	$U_{BA}$	1,71	1,8	1,89	V

### Systemtakt

Frequenz, PLL ausgeschaltet	$f_{CLK}$	250		1000	MHz
Frequenz, PLL eingeschaltet je nach VCO-Frequenzband	$f_{CLK}$	700		1000	MHz
Vervielfachungsfaktor ohne PLL-Verdoppler	V	4		66	
mit PLL-Verdoppler	V	8		132	
Frequenz ohne PLL-Verdoppler	$f_{CLK}$	11		200	MHz
Frequenz mit PLL-Verdoppler	$f_{CLK}$	6		100	MHz
Quarzresonator, PLL eingeschaltet	$f_{CLK}$	10		50	MHz

### Ausgangssignal

Auflösung				14	Bit
Impedanz	$Z_A$		50		$\Omega$
Kapazität	$C_A$		5		pF
Endwert des Ausgangsstroms	$I_{Amax}$		20	31,7	mA
Verträglichkeitsspannung	$U_A$	$U_{BA}-0,5$	0,5	$U_{BA}+0,5$	V
Spannung unerwünschter Ausgangsfrequenzen, Messbereich 0 bis 500 MHz					
bei $f_A = 20,1$ MHz	$U_A$		-79		dBc
bei $f_A = 98,6$ MHz	$U_A$		-67		dBc
bei $f_A = 201,1$ MHz	$U_A$		-61		dBc
bei $f_A = 397,7$ MHz	$U_A$		-59		dBc
Spannung unerwünschter Ausgangsfrequenzen, Messbereich $f_A \pm 250$ kHz					
bei $f_A = 20,1$ MHz	$U_A$		-95		dBc
bei $f_A = 98,6$ MHz	$U_A$		-96		dBc
bei $f_A = 201,1$ MHz	$U_A$		-91		dBc
bei $f_A = 397,7$ MHz	$U_A$		-86		dBc

### Leistungsbedarf

nur DDS	$P_{DDS}$		637	765	mW
DDS mit eingeschalteter Unterdrückung unerwünschter Ausgangsfrequenzen	$P_S$		686	823	mW
Power-Down-Modus	$P_0$		13	16	mW

### Kurzcharakteristik

- Samplerrate 1 GS/s für die direkte Erzeugung von Ausgangsfrequenzen bis 400 MHz
- 4  $\mu$ Hz Auflösung durch Frequenzsteuerwort mit 48 Bit Länge
- zwei Unterdrücker für unerwünschte Ausgangsfrequenzen
- rauscharmer PLL-Vervielfacher
- Taktverdoppler mit geringem Jitter für Ausgangsfrequenzen bis 750 MHz
- externer Systemtakt oder externer Quarzresonator nutzbar
- serielle Ein-/Ausgabesteuerung

### Beschreibung

Der AD9912 ist ein Schaltkreis zur direkten digitalen Signalerzeugung (DDS) mit einem 14-Bit-D/A-Umsetzer. Er ist zur Erzeugung von Sinusschwingungen bis zu 400 MHz (mit Taktverdoppler bis 750 MHz) geeignet, wobei schnelle und aufgrund des 48 Bit breiten Frequenzregisters genaue Einstellungen mit bis zu 4  $\mu$ Hz Auflösung möglich sind. Die absolute Frequenzgenauigkeit kann durch Veränderung des Systemtakts erzielt werden.

Die gesamte Steuerung des AD9912 kann über einen seriellen Drei- oder Vierdrahtbus erfolgen. Durch die umschaltbaren Vervielfacher in der PLL lassen sich neben dem hochfrequenten Systemtakt auch relativ niederfrequente Referenztakts nutzen, ohne Einbuße an der maximal erzeugbaren Frequenz hinnehmen zu müssen.

Durch zwei zusätzliche DDS-Kerne sind zwei unerwünschte harmonische Ausgangsfrequenzen vom Grade 2 bis 15 mittels Addition der um  $\pm 180^\circ$  verschobenen und gedämpften Störsignale zum Ausgangssignal unterdrückbar.

### Hersteller

Analog Devices, One Technology Way,  
P.O. Box 9106, Norwood, MA 02062-9106, USA, [www.analog.com](http://www.analog.com)

## Anschlussbelegung

Pin 1: Betriebsspannung des Digitalteileneingangs (DVDD\_I/O)  
 Pin 2, 4, 6, 8, 56, 57: Masse des Digitalteils (DVSS)  
 Pin 3, 5, 7: Betriebsspannung des Digitalteils (DVDD)  
 Pin 9, 10, 54, 55: Startkonfiguration (S1, S2, S3, S4)  
 Pin 11, 19, 23...26, 29, 30, 36, 42, 44, 45, 53:  
 1,8-V-Betriebsspannung des Analogteils (AVDD)  
 Pin 12, 13, 15...18, 20...22: nicht beschaltet (NC)  
 Pin 14, 46, 47, 49: 3,3-V-Betriebsspannung des Analogteils (AVDD3)  
 Pin 27, 28: normaler und komplementärer Systemtakt-  
 eingang (SYSCLK, SYSCLKB)  
 Pin 31: Schleifenfilter der PLL (LOOP\_FILTER)  
 Pin 32: Systemtaktauswahl (CLKMODESEL)  
 Pin 33, 39, 43, 52: Masse des Analogteils (AVSS)  
 Pin 34, 35: komplementärer bzw. normaler HSTL-Ausgang  
 (OUTB, OUT)

Pin 37: Betriebsspannung für Analogteil des CMOS-  
 Ausgangstreibers (AVDD3)  
 Pin 38: CMOS-Ausgang (OUT\_CMOS)  
 Pin 40, 41: komplementärer und normaler Rückkopplungs-  
 eingang (FDBK\_INB, FDBKIN)  
 Pin 48: Stromsetzwiderstand für D/A-Umsetzerausgang  
 (DAC\_RSET)  
 Pin 50, 51: normaler und komplementärer D/A-Umsetzer-  
 ausgang (DAC\_OUT, DAC\_OUTB)  
 Pin 58: Eingang zur Leistungsabsenkung (PWRDOWN)  
 Pin 59: Rücksetzeingang (RESET)  
 Pin 60: Ein-/Ausgabe-Aktualisierung (IO\_UPDATE)  
 Pin 61: IC-Auswahl (CSB)  
 Pin 62: serieller Datenausgang (SDO)  
 Pin 63: serieller Datenein- bzw. -ausgang (SDIO)  
 Pin 64: Datentakt für serielle Übertragung (SCLK)

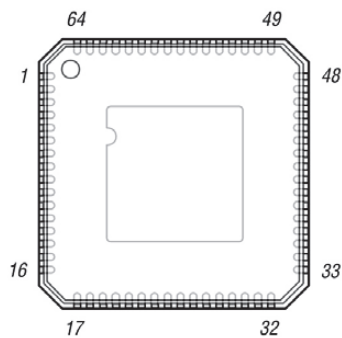


Bild 1:  
Pinbelegung  
(LFCSP-64)

## Blockschaltbild

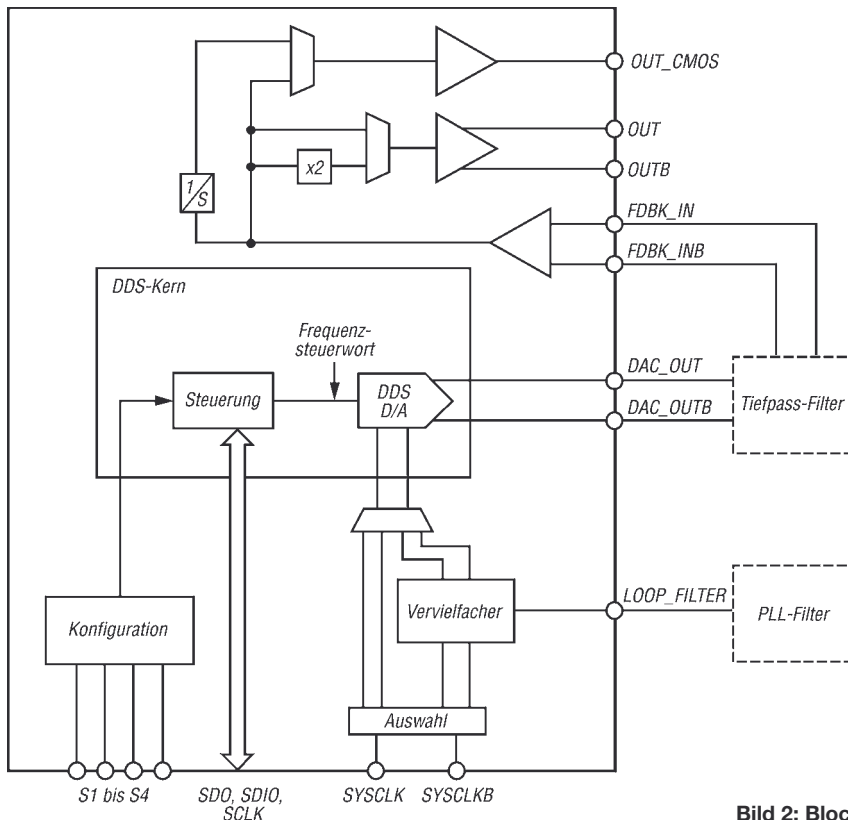


Bild 2: Blockschaltbild des AD9912