

HCMOS-Mikrocontroller-IC

Typenvariationen

Typenbezeichnung	FLASH-Memory-Größe	Pin-Anzahl
MC68H(R)C908JL3	4096 Bytes	28 Pins
MC68H(R)C908JK3	4096 Bytes	20 Pins
MC68H(R)C908JK1	1536 Bytes	20 Pins

Pinfunktionen

Pinbezeichnung	Funktionsbeschreibung	In/Out	Spannungswert
VDD	Betriebsspannung	In	5 V oder 3 V
VSS	Masseanschluß	Out	0 V
/RST	Reset-Eingang, aktiv low m. internem Pull-Up und Schmitt-Trigger-Input	In	VDD
/IRQ1	Externer Interrupt mit software-prog. Pull-Up	In	VDD...VDD+V _{HI}
OSC1	Oszillatoreingang	In	analog
OSC2	Oszillatorausgang (bei XTAL-Option: Invertierung des OSC1- Signals; bei RC-Option: Default RCCLK-Output)	Out	XTAL(analog), RC(VDD)
PTA(0...6)	7-Bit allg. I/O-Register (shared: 7 Kbd.-Interrupts)	In/Out	VDD
PTB(0...7)	8-Bit allg. I/O-Register (shared: 8 ADC-Inputs)	In/Out	VDD
PTD(0...7)	8-Bit allg. I/O-Register	In/Out	VDD

Kurzcharakteristik

- Hochleistungs-MC68HC08-Architektur
- Voll abwärtskompatibler Objektcode mit M6805, M14806 und M68HC05-Familie
- Low-Power-Design
- 5-V- und 3-V-Betriebsspannung
- 8 MHz interne Busoperationen
- RC- oder Quarzoszillator-Option
- In-System-Flash-programmierbar
- 4096/1536 Bytes FLASH-Speicher
- 128 Bytes On-Chip-RAM
- 2-Kanäle 16-Bit Timer Interface
- 12 Kanäle 8-Bit-ADCs
- 23 allg. I/O-Ports (JL3) bzw. 15 allg. I/O-Ports (JK3/JK1)
- Systemschutz-Features:
 - optionaler COP-Reset
 - optionale Unterspannungsdetektion mit Resetauslösung
- Master-Reset-Pin mit internem Pull-Up und Power-On-Reset
- /IRQ1 mit programmierbarem Pull-Up und Schmitt-Trigger-Input

Anschlußbelegungen

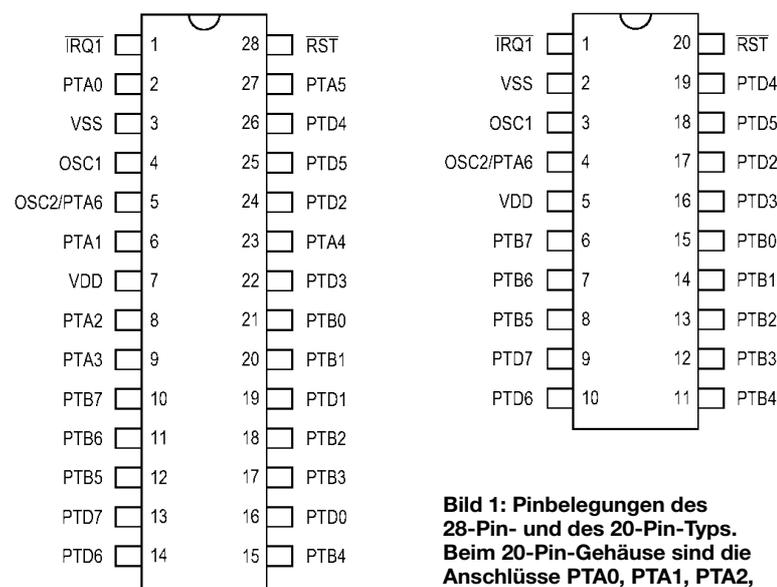


Bild 1: Pinbelegungen des 28-Pin- und des 20-Pin-Typs. Beim 20-Pin-Gehäuse sind die Anschlüsse PTA0, PTA1, PTA2, PTA3, PTA4, PTA5, PTD0 und PTD1 nicht verfügbar.

Beschreibung

Die MC68H(R)C908Jxx sind (von der elektronischen Grundfunktion her identische) Mitglieder der Hochleistungs-Low-Cost-M68HC08-Familie von 8-Bit-Mikrocontrollern. Die M68HC08-Familie basiert auf einer anwenderspezifischen integrierten Schaltungsentwicklungsstrategie (ASIC). Alle Mikrocontroller dieser Familie verwenden den erweiterten M68HC08-Zentralprozessorkern und sind verfügbar mit einer Reihe von verschiedenen Modulen, Speichergrößen und -typen sowie Gehäusevarianten. Die CPU08 kann insgesamt 64 KByte Speicher adressieren, eingeschlossen

- 4096 bzw. 1536 Bytes User-FLASH
- 128 Bytes RAM
- 48 Bytes User-definierte Vektoren
- 960 Bytes Monitor-ROM.

Die Adressen \$0000–\$003F enthalten vorzugsweise Steuer-, Status- und Datenregister.

Blockschaltbild

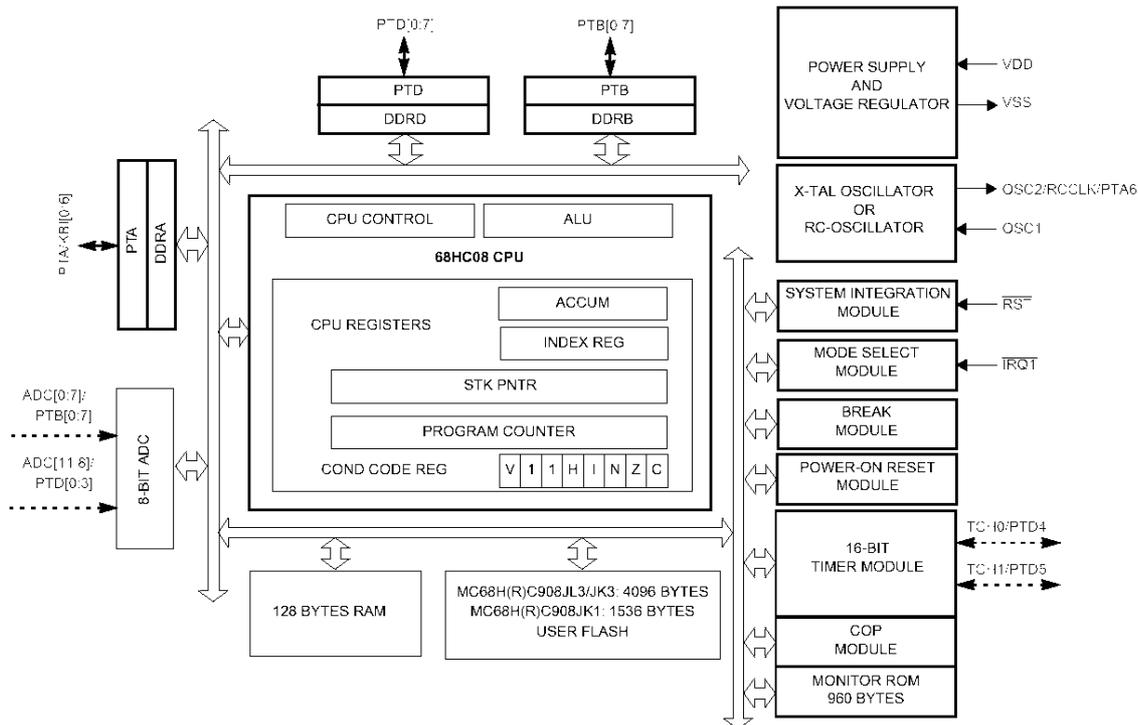


Bild 2: Funktionelle Innenschaltung des Mikroprozessors. PTD[2:3] und PTD[6:7] besitzen LED-Treiber. PTA[0:6] verfügen über einen programmierbaren Tastatur-Interrupt und Pull-Ups. PTD[6:7] haben Open-Drain-Ausgänge und programmierbare 5-k Ω -Pull-Ups. PTA[0:5], PTD[0:1] sind bei den 20-Pin-Typen (JK3/JK1) nicht vorhanden.

Oszillatorbeschaltung

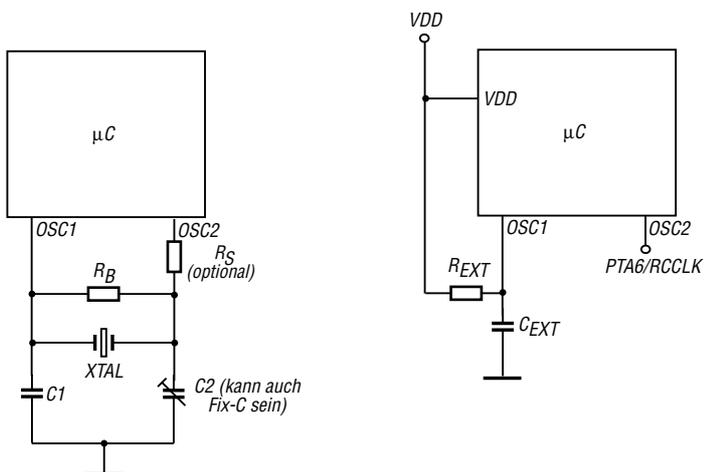


Bild 3: Beschaltung des Oszillators (links bei Betrieb als Quarzoszillator, rechts bei Betrieb als RC-Oszillator. Beim Quarzoszillator ist R_S meist nicht vorhanden (0 Ω), dient jedoch prinzipiell dazu, die elektrischen Anschaltbedingungen eines Pierce-Oszillators zu erfüllen.

Spezifikation

Parameter	min.	typ.	max.	Einheit
f_{Quarz}	-	8	16	MHz
$f_{\text{RC-Osz.}}$	2	8	12	MHz
Referenzfrequenz bei extern. Takt	DC	-	16	MHz
Quarz-Lastkapazität C_L	-	-	-	
C_1	-	$2 \cdot C_L$	-	
C_2	-	$2 \cdot C_L$	-	
Feedback-Bias-R (R_B)	-	10	-	M Ω
R_{EXT}	(siehe Bild 4)			
C_{EXT}	-	10	-	pF

Wichtige Diagramme

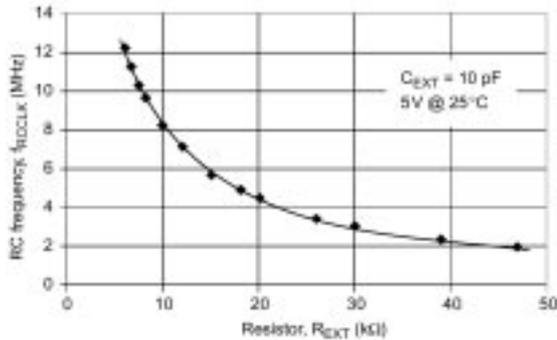


Bild 4: Bei Betrieb des Mikroprozessors im RC-Oszillator-Modus wird die Schwingfrequenz durch die Wahl des externen Widerstandswertes R_{EXT} bestimmt (ca. 10 kΩ für 8 MHz, 45 kΩ für etwa 2 MHz Taktfrequenz bei 5 V Betriebsspannung).

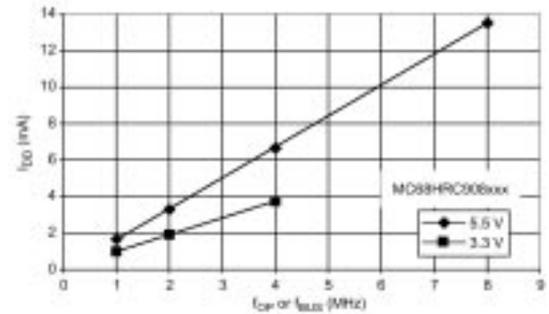


Bild 5: Die Betriebsstromaufnahme des Prozessors ist linear abhängig zur verwendeten Betriebs- bzw. Bustaktfrequenz des Systems und steigt mit zunehmender Taktfrequenz an. Die Angaben beziehen sich stets auf eine Umgebungstemperatur von 25 °C.

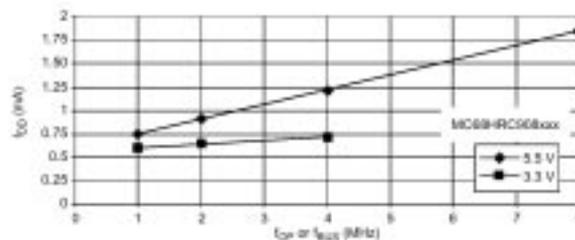


Bild 6: Abhängigkeit der Betriebsstromaufnahme des Prozessors im Wait-Modus bezüglich der Betriebs- bzw. Bustaktfrequenz bei eingeschaltetem ADC

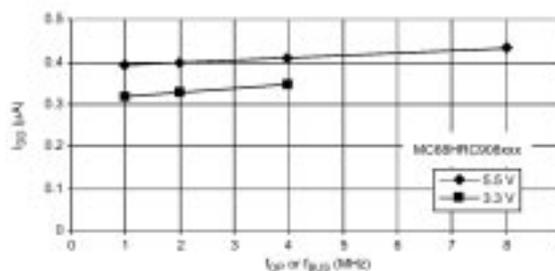


Bild 7: Abhängigkeit der Betriebsstromaufnahme des Prozessors im Stop-Modus bezüglich der Betriebs- bzw. Bustaktfrequenz bei komplett abgeschalteten Modulen („disabled“)

Keyboard Interrupt Modul

Das Keyboard Interrupt Modul (KBI) bietet sieben unabhängige maskierbare externe Interrupts, die über die Pins PTA0 bis PTA6 zugreifbar sind. Jedes Pin besitzt ein separates „Keyboard Interrupt Enable Bit“, alle zusammen können gemeinsam maskiert werden.

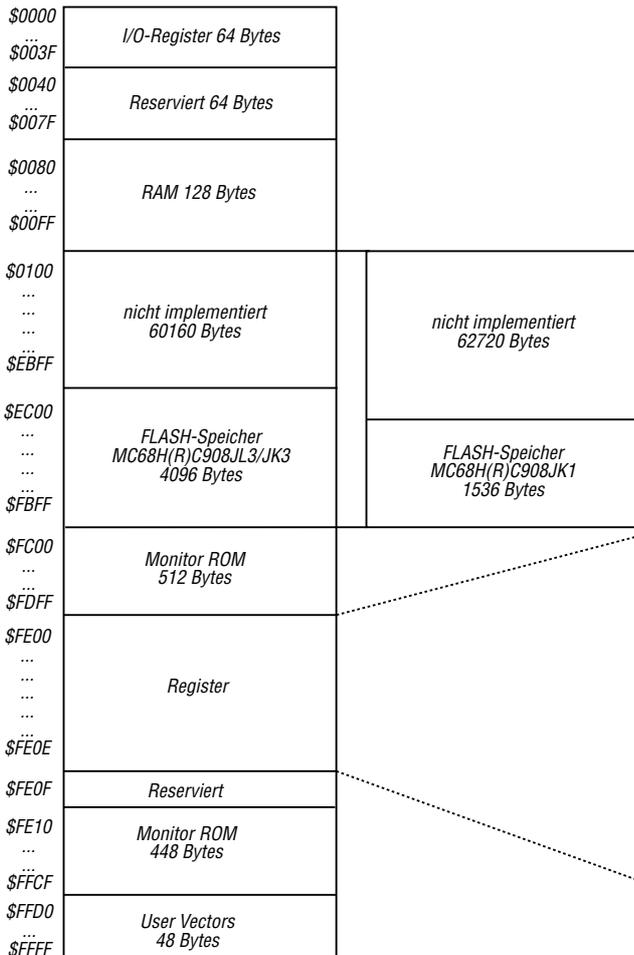
Ist eines dieser Bits auf „Input“ konfiguriert, so steht dort ein softwaresteuerbarer Pull-Up zur Verfügung. Der KBI kann zum Verlassen des Low-Power Modes verwendet werden.

System Integration Modul (SIM)

Das System Integration Modul (SIM) unterstützt bis zu 24 externe und/oder interne Interrupts. Zusammen mit der CPU steuert das Modul sämtliche Prozessoraktivitäten. Das SIM ist ein Systemzustands-Controller, der die CPU und das Ausnahme-Timing koordiniert.

Das SIM ist verantwortlich für die Bustaktgenerierung und -steuerung der CPU sowie der Peripherie, der Master-Reset-Steuerung (inkl. Power-On-Reset und COP-Timeout), die INT-Steuerung sowie des Enable-Timings.

Speicherbelegung



Monitor ROM

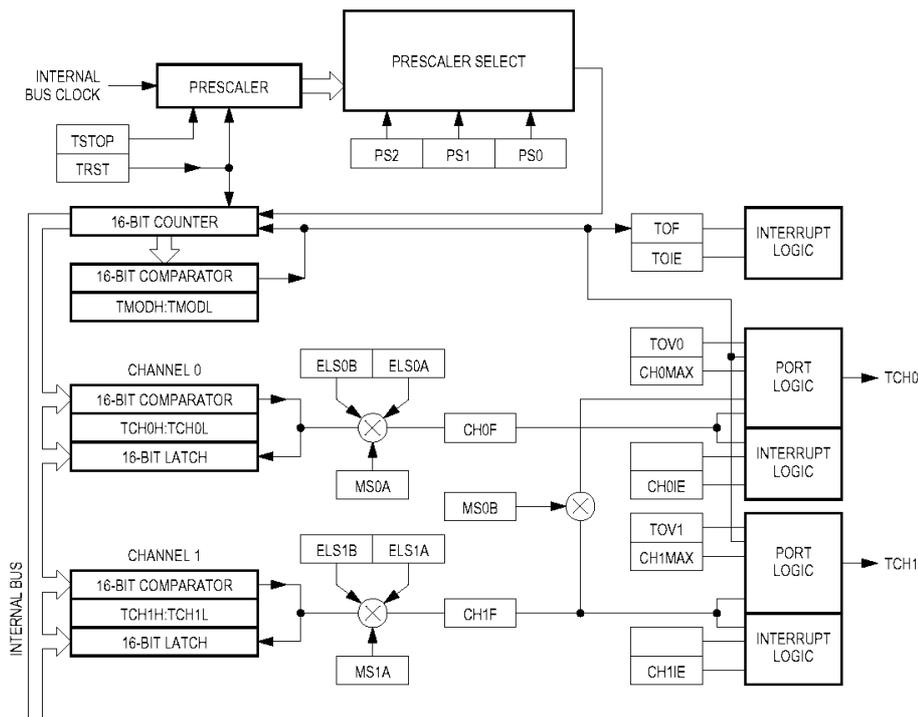
Die 960 Bytes auf den Speicheradressen \$FC00 bis \$FDFF sowie \$FE10 bis \$FFCF sind reservierte ROM-Adressen, an denen Instruktionen für die Monitorfunktionen enthalten sind.

Der Monitor ROM erlaubt die vollständige Testung des Mikroprozessors durch ein Eindraht-Interface mit einem Host-Computer.

Dieser Modus wird auch für die Programmierung und Löschung des FLASH-Speichers im Prozessor benutzt.

- Break Status Register (BSR)
- Reset Status Register (RSR)
- Reserviert (UBAR)
- Break Flag Control Register (BFCR)
- Interrupt Status Register 1 (INT1)
- Interrupt Status Register 2 (INT2)
- Interrupt Status Register 3 (INT3)
- Reserviert
- Flash Control Register (FLCR)
- Flash Block Protect Register (FLBPR)
- Reserviert
- Reserviert
- Break Address High Register (BRKH)
- Break Address Low Register (BRKL)
- Break Status & Control Register (BRKSCR)

Timer Interface Modul (TIM)



Das Timer Interface Modul (TIM) enthält einen Zwei-kanal-Timer, der eine Zeitreferenz zwischen der Aufnahme von Eingabedaten, dem Vergleich von Ausgabewerten und von Pulsweitenmodulationsfunktionen bereitstellt.

Hier werden beispielsweise steigende oder fallende Flanken an I/O-Pins ausgewertet und getriggert.

Die Zeitbasis ist programmierbar mit einer siebenstufigen internen Bustakt-Vorteiler-Selektion.

Das TIM gestattet freilaufende oder modulo-up zählende Betriebsweisen. Seine modulare Architektur ist expandierbar auf acht Kanäle.