

UART mit 16-Byte FIFO und Autoflow-Steuerung

Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannungsbereich	U_B	-0,5	7	V
Eingangsspannungsbereich	U_I	-0,5	7	V
Ausgangsspannungsbereich Freiluft-	U_O	-0,5	7	V
Betriebstemperaturbereich:				
TL16C550C	T_A	0	70	°C
TL16C550CI	T_A	-40	85	°C
Lagertemperaturbereich	T_{STG}	-65	150	°C
Gehäusetemperatur für max. 10 s (FN-Gehäuse)	T_C		260	°C
Löttemperatur (max. 10 s) N- oder PT-Gehäuse	T_C		260	°C

Kurzcharakteristik

- serielle und Modemsteuerausgänge
- lauffähig mit jeder TL16C450-Software
- bis zu 16 MHz Taktrate für bis zu 1-MBaud-Betrieb
- programmierbarer Baudratengenerator
- Zufügung oder Löschung von Paritäts-, Start- und Stopbits zum bzw. aus dem Datenstrom
- 5-V- und 3,3-V-Betrieb
- unabhängiger Empfängertakt-eingang
- unabhängig steuerbare Sende-, Empfangs-, Status- und Daten-Interrupts
- voll programmierbare serielle Interface-Charakteristik
- Erkennung fehlerhafter Startbits
- vollständige Statusreport-Möglichkeiten
- TTL-Tristate-Treibermöglichkeit

Anschlußbelegung

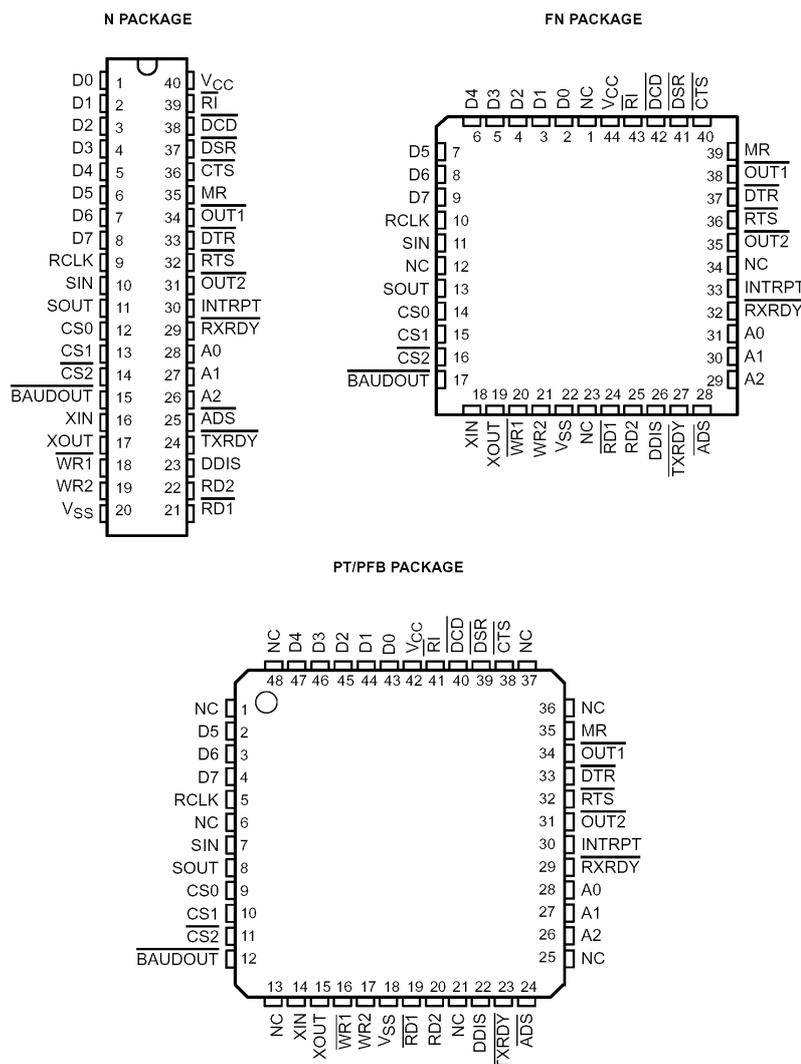


Bild 1: Pinbelegung (Draufsicht) des TRF6901 im PQFP-Gehäuse

Beschreibung

Die ICs TL16C550C und TL16C550CI sind funktionelle Upgrades des UARTs TL16C550B bzw. dessen Vorgängers TL16C450. Sie lassen sich in einem alternierenden FIFO-Modus betreiben, so daß die CPU von der Abarbeitung umfangreichen Software-Overheads und der Zeichenpufferung entlastet wird.

Die Empfangs- und Sende-FIFOs speichern bis zu 16 Bytes inklusive dreier zusätzlicher Bits des Fehlerstatus pro Byte für den Empfangs-FIFO. Im FIFO-Modus gibt es ein auswählbares Hardware-Datenflußsteuerungs-Feature, welches die Systemeffizienz durch die automatische serielle Steuerung des Datenflusses unter Verwendung der /RTS- und /CTS-Signale steigert.

Beide ICs verfügen über eine Seriell-Parallel-Umsetzung von Peripherie-Empfangsdaten und über eine Parallel-Seriell-Umsetzung der von einer CPU gelieferten Daten. Der UART-Status kann von der CPU jederzeit ausgelesen werden. Eine integrierte komplette Modemsteuerung und ein Prozessor-Interruptsystem minimieren den Aufwand für das Software-Management der Kommunikationsverbindung.

Beide ICs besitzen einen programmierbaren Baudratengenerator und erlauben den Betrieb bis zu 1 MBaud.

Signalfunktionen

Signalbezeichnung	Funktionsbeschreibung
A0, A1, A2	Registerauswahl. A0 – A2 werden während Schreib- und Leseoperationen verwendet.
/ADS	Adreßstrobe. Wenn /ADS aktiv (low) ist, treiben A0, A1, A2 und CS0, CS1, /CS2 die interne Auswahllogik direkt; ist /ADS high, werden die Registerauswahl- und Chip-Select-Signale auf dem Logikwert gehalten, den sie beim Low-High-Übergang von /ADS aufwiesen
/BAUDOUT	/BAUDOUT ist ein 16 x Taktsignal für die Sendesektion des UARTs. Die Taktrate wird erzeugt durch die Referenzoszillatorfrequenz, geteilt durch den per Baudratengenerator spezifizierten Divisor.
CS0, CS1, /CS2	Chip Select. Wenn CS0 und CS1 high sowie /CS2 low sind, ist das UART selektiert, anderenfalls ist es inaktiv.
/CTS	Clear To Send. /CTS ist ein Modemstatussignal. Seine Bedingung kann durch Lesen von Bit 4 (CTS) des Modemstatusregisters abgeprüft werden. Bit 0 (Δ CTS) des Modemstatusregisters zeigt an, daß /CTS seinen Status geändert hat seit dem letzten Auslesen des Modemstatusregisters. Ist der Modemstatusinterrupt freigegeben, und /CTS verändert seinen logischen Zustand (Auto-/CTS-Modus nicht freigegeben), wird ein Interrupt ausgelöst. /CTS wird auch verwendet im Auto-/CTS-Modus zur Sendersteuerung.
D0, D1, D2, D3, D4, D5, D6, D7	Datenbus. Acht Datenbits mit Tristate-Ausgängen stellen einen bidirektionellen Pfad für Daten-, Steuerungs- und Statusinformationen zwischen der CPU und das UART zur Verfügung.
/DCD	Data Carrier Detect. /DCD ist ein Modemstatussignal. Seine Bedingung kann durch Lesen von Bit 7 (DCD) des Modemstatusregisters abgeprüft werden. Bit 3 (Δ DCD) des Modemstatusregisters zeigt an, daß /DCD seinen Status geändert hat seit dem letzten Auslesen des Modemstatusregisters. Ist der Modemstatusinterrupt freigegeben, während /DCD seinen logischen Zustand ändert, wird ein Interrupt ausgelöst.
DDIS	Driver Disable. DDIS ist aktiv (high), wenn die CPU keine Daten liest. Im aktiven Zustand kann DDIS einen externen Transceiver sperren.
/DSR	Data Set Ready. /DSR ist ein Modemstatussignal. Seine Bedingung kann durch Lesen von Bit 5 (DSR) des Modemstatusregisters abgeprüft werden. Bit 1 (Δ DSR) des Modemstatusregisters zeigt an, daß /DSR seinen Status geändert hat seit dem letzten Auslesen des Modemstatusregisters. Ist der Modemstatusinterrupt freigegeben, während /DSR seinen logischen Zustand ändert, wird ein Interrupt ausgelöst.
/DTR	Data Terminal Ready. Wenn aktiv (low), informiert /DTR, daß das UART bereit ist, eine Kommunikationsverbindung herzustellen. /DTR wird aktiviert, indem das DTR-Bit im Modemsteuerregister gesetzt wird. /DTR wird inaktiv durch einen Master-Reset, während des Loop-Modus-Betriebs oder durch Rücksetzen des DTR-Bits.
INTRPT	Interrupt. Im aktiven Zustand (low), informiert INTRPT die CPU, daß das UART die Bedienung unterbrochen hat. Vier Bedingungen kommen dafür in Frage: Empfänger-Fehler, Time-out-Daten (nur im FIFO-Modus), leeres Senderegister oder freigegebener Modemstatusinterrupt. INTRPT wird zurückgesetzt, wenn der Interrupt bedient wurde oder im Ergebnis eines Master-Resets.
MR	Master-Reset. Wenn aktiviert (high), löscht MR die meisten UART-Register und belegt die Levels der meisten Ausgangssignale vor.
/OUT1, /OUT2	anwenderspezifische Ausgänge
RCLK	Empfängertakt
/RD1, /RD2	Leseeingänge
/RI	Anrufindikator. /RI ist ein Modemstatussignal
/RXRDY, /TXRDY	Empfangs- bzw. Sendebereitschaft
/WR1, WR2	Schreibeingänge

Bild 2:
TL16C550C-
Basiskonfiguration

