

Vielseitig verwendbarer CMOS-PLL-Schaltkreis

Grenzwerte

Parameter	Kurzzeichen	min	max.	Einheit
Betriebsspannung	U_{DD}	$U_{SS} - 0,5 \text{ V}$	18	V
Eingangsspannung	U_I	$U_{SS} - 0,5 \text{ V}$	$U_{DD} + 0,5 \text{ V}$	V
Ausgangsspannung	U_O	$U_{SS} - 0,5 \text{ V}$	$U_{DD} + 0,5 \text{ V}$	V
Verlustleistung				
je Ausgangstransistor	P_V		100	mW
Gesamtverlustleistung	P_{tot}		300 ¹⁾ 150 ²⁾	mW
Lastkapazität	C_L		5	nF
Eingangsstrom	$ I_I $		10	mA
Betriebstemperatur	ϑ_a	-40	85	°C
Lagerungstemperatur	ϑ_{stg}	-55	125	°C

¹⁾ $\vartheta_a = -40 \dots +70^\circ\text{C}$ ²⁾ $\vartheta_a = 85^\circ\text{C}$

Statische Kennwerte ($U_{SS} = 0 \text{ V}$, $U_I = U_{SS}$ bzw. U_{DD} , $|I_O| < 1 \mu\text{A}$, $\vartheta_a = -40 \dots +85^\circ\text{C}$)

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	3	15	V
Eingangsspannung	U_I	0	U_{DD}	V
H-Eingangsspannung	U_{IH}			V
bei $U_{DD} = 5 \text{ V}$		3,5		V
bei $U_{DD} = 10 \text{ V}$		7		V
bei $U_{DD} = 15 \text{ V}$		11		V
L-Eingangsspannung	U_{IL}			V
bei $U_{DD} = 5 \text{ V}$			1,5	V
bei $U_{DD} = 10 \text{ V}$			3	V
bei $U_{DD} = 15 \text{ V}$			4	V
Stromaufnahme	I_{DD}			μA
bei $\overline{VE} = U_{SS}$, I_S offen				
$U_{DD} = 5 \text{ V}$			100	μA
$U_{DD} = 10 \text{ V}$			500	μA
$U_{DD} = 15 \text{ V}$			1500	μA
bei $VE = U_{DD}$, L/H an I_S				
$U_{DD} = 5 \text{ V}$			20	μA
$U_{DD} = 10 \text{ V}$			40	μA
$U_{DD} = 15 \text{ V}$			80	μA
Eingangsreststrom	I_I			μA
bei $U_{DD} = 15 \text{ V}$			1	μA
H-Ausgangsspannung	U_{OH}			V
bei $U_{DD} = 5 \text{ V}$		4,95		V
bei $U_{DD} = 10 \text{ V}$		9,95		V
bei $U_{DD} = 15 \text{ V}$		14,95		V
L-Ausgangsspannung	U_{OL}			V
bei $U_{DD} = 5 \dots 15 \text{ V}$			0,05	V
H-Ausgangsstrom	$-I_{OH}$			mA
bei $U_{OH} = 4,6 \text{ V}$, $U_{DD} = 5 \text{ V}$		0,4		mA
bei $U_{OH} = 9,5 \text{ V}$, $U_{DD} = 10 \text{ V}$		0,9		mA
bei $U_{OH} = 13,5 \text{ V}$, $U_{DD} = 15 \text{ V}$		2,4		mA
L-Ausgangsstrom	I_{OL}			mA
bei $U_{OL} = 0,4 \text{ V}$, $U_{DD} = 5 \text{ V}$		0,4		mA
bei $U_{OL} = 0,5 \text{ V}$, $U_{DD} = 10 \text{ V}$		0,9		mA
bei $U_{OL} = 1,5 \text{ V}$, $U_{DD} = 15 \text{ V}$		2,4		mA
Eingangskapazität	C_I		7,5	pF
Reststrom PCP2 im hochohmigen Zustand	$ I_Z $		12	μA
Eingangsempfindlichkeit	U_{ISS}			mV
bei $f_{IS} = 100 \text{ kHz}$, Sinus				
$U_{DD} = 5 \text{ V}$		360		mV
$U_{DD} = 10 \text{ V}$		660		mV
$U_{DD} = 15 \text{ V}$		1800		mV
Eingangswiderstand ¹⁾	R_{IS}			k Ω
bei $ I_{IS} = 0,5 \mu\text{A}$, $U_{DD} = 5 \text{ V}$		750		k Ω
bei $ I_{IS} = 1 \mu\text{A}$, $U_{DD} = 10 \text{ V}$		200		k Ω
bei $ I_{IS} = 2 \mu\text{A}$, $U_{DD} = 15 \text{ V}$		100		k Ω
Z-Dioden-Spannung ($I_Z = 50 \mu\text{A}$)	U_Z	5	8	V

¹⁾ $R_{IS} = \frac{U_{I1} - U_{I2}}{2|I_{IS}|}$

Kurzcharakteristik

- Enthält alle wichtigen Baugruppen für PLL-Systeme
- Geregelter Operationsverstärker als Eingangssignalverstärker (automatische Gatevorspannerzeugung)
- Pin 14 für analoge und digitale Signale; wird CMOS-Logikpegel nicht erreicht, koppelt man kapazitiv an, der Verstärker stellt sich dann auf den Pegel ein
- Zwei verschiedene Phasenkomparatoren mit gemeinsamen Eingängen
- VCO über CMOS-Teiler oder direkt anschließbar
- einfache externe VCO-Beschaltung
- VCO und integrierter Sourcefolger haben gemeinsamen Eingang
- Sourcefolger liefert demodulierte Signale (FM-Demodulation); Pin 10 kann als VCO-Testanschluß dienen ($R_4 = 5 \text{ k}\Omega \dots 1 \text{ M}\Omega$)
- Pin 1 ist Testanschluß des zweiten Phasenkomparators (digitaler Ausgang, H-Pegel entspricht eingerastetem Zustand)
- L-Pegel an Pin 5 aktiviert Sourcefolger und VCO, H-Pegel bewirkt Abschaltung und minimale IS-Stromaufnahme
- $C_I \geq 100 \text{ pF}$ bei $U_{DD} \geq 3 \text{ V}$ bzw. $\geq 50 \text{ pF}$ bei $U_{DD} \geq 10 \text{ V}$; $R_1, R_2 = 5 \dots 100 \text{ k}\Omega$; R_1 bestimmt maximale, R_2 minimale Frequenz, somit folgt $R_1 < R_2$ (R_2 entfällt, wenn kein Frequenzoffset nötig ist)
- Bei $R_1 > 10 \text{ k}\Omega$ arbeitet der VCO als linearer U/f-Wandler
- Im Interesse geringen Stromverbrauchs hohe Widerstandswerte im Schleifenfilter möglich.
- interne Z-Diode zur Betriebsspannungsstabilisierung
- interne Schaltungskomplexe gut für Einzelanwendung nutzbar

Innenaufbau und Beschaltung

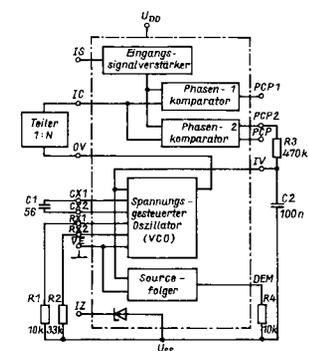


Bild 1: Interner Aufbau und Beschaltungsbeispiele. Ein weiterer Widerstand in Reihe mit C2 kann vorkommen.

Dynamische Kennwerte ($\vartheta_a = 25^\circ\text{C}$, $U_{SS} = 0\text{V}$, $U_I = U_{SS}$ bzw. U_{DD} , $|I_O| < 1\mu\text{A}$, $t_{LH} = t_{HL} = 20\text{ns}$)

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
Flankenübergangszeit der Ausgangssignale bei $U_{DD} = 5\text{V}$ bei $U_{DD} = 10\text{V}$ bei $U_{DD} = 15\text{V}$	t_{P1HL}			200	ns
	t_{P1HL}			100	ns
	t_{P1HL}			80	ns
	t_{P1HL}				
Anstiegs- und Abfallzeit des Eingangssignals bei $U_{DD} = 5\text{V}$ bei $U_{DD} = 10\text{V}$ bei $U_{DD} = 15\text{V}$	t_{ICLH}			500	μs
	t_{ICHL}			20	μs
	t_{ICHL}			2,5	μs
	t_{ISLH}			50	μs
	t_{ISHL}			1	μs
	t_{ISHL}			0,3	μs
Verzögerungszeit IS \rightarrow PCP2 ($C_L = 50\text{pF}$) bei $U_{DD} = 5\text{V}$ bei $U_{DD} = 10\text{V}$ bei $U_{DD} = 15\text{V}$	t_{P2HL}			450	ns
	t_{P2HL}			200	ns
	t_{P2HL}			130	ns
	t_{P2LH}			700	ns
	t_{P2LH}			300	ns
	t_{P2LH}			200	ns
Verzögerungszeit IS \rightarrow PCP2 hochohmig bei $U_{DD} = 5\text{V}$ bei $U_{DD} = 10\text{V}$ bei $U_{DD} = 15\text{V}$	t_{P2HZ}			450	ns
	t_{P2HZ}			200	ns
	t_{P2HZ}			190	ns
	t_{P2LZ}			570	ns
	t_{P2LZ}			260	ns
	t_{P2LZ}			190	ns
VCO-Frequenz ($C_1 = C_L = 50\text{pF}$, $R_1 = 10\text{k}\Omega$, $R_2 = \infty$, $U_{IV} = U_{DD}$) bei $U_{DD} = 5\text{V}$ bei $U_{DD} = 10\text{V}$ bei $U_{DD} = 15\text{V}$	f_V				MHz
	f_V	0,3			MHz
	f_V	0,6			MHz
	f_V	0,8			MHz
VCO-Frequenzlinearität ($U_{IV\text{max}} \rightarrow f_{\text{min}}$, $U_{IV} \rightarrow f_V$, $U_{IV\text{max}} \rightarrow f_{\text{max}}$, $f_{IV} = \frac{f_{\text{min}} + f_{\text{max}}}{2}$, $\frac{\Delta f_V}{f_V} = \frac{f_{IV} - f_V}{100 f_V}$) bei $U_{DD} = 5\text{V}$, $R_1 = 10\text{k}\Omega$, $U_{IV} = 2,5 \pm 0,3\text{V}$ bei $U_{DD} = 10\text{V}$, $R_1 = 100\text{k}\Omega$, $U_{IV} = 5 \pm 1\text{V}$ bei $U_{DD} = 15\text{V}$, $R_1 = 1\text{M}\Omega$, $U_{IV} = 7,5 \pm 5\text{V}$ dynamischer Z-Dioden- Widerstand ($I_Z = 1\text{mA}$) dynamische Verlustleistung ($f_V = 10\text{kHz}$, $R_1 = 1\text{M}\Omega$, $C_L = 50\text{pF}$, $R_2 = \infty$, $U_{IV} = 0,5 U_{DD}$) bei $U_{DD} = 5\text{V}$ bei $U_{DD} = 10\text{V}$ bei $U_{DD} = 15\text{V}$	$\frac{\Delta U_{DEM}}{U_{DEM}}$				%
	$\frac{\Delta U_{DEM}}{U_{DEM}}$				
	$\frac{\Delta U_{DEM}}{U_{DEM}}$				
	$\frac{\Delta U_{DEM}}{U_{DEM}}$				
	$\frac{\Delta U_{DEM}}{U_{DEM}}$				
	$\frac{\Delta U_{DEM}}{U_{DEM}}$				
	$\frac{\Delta U_{DEM}}{U_{DEM}}$				
	$\frac{\Delta U_{DEM}}{U_{DEM}}$				
	$\frac{\Delta U_{DEM}}{U_{DEM}}$				
	$\frac{\Delta U_{DEM}}{U_{DEM}}$				
Linearität des Sourcefolgers bei $U_{DD} = 5\text{V}$, $R_3 = 100\text{k}\Omega$ $U_{IV} = 2,5 \pm 0,3\text{V}$ bei $U_{DD} = 10\text{V}$, $R_3 = 300\text{k}\Omega$, $U_{IV} = 5 \pm 2,5\text{V}$ bei $U_{DD} = 15\text{V}$, $R_3 = 500\text{k}\Omega$, $U_{IV} = 7,5 \pm 5\text{V}$	P_{VDVCO}			140	μW
	P_{VDVCO}			1600	μW
	P_{VDVCO}			6000	μW
	P_{VDVCO}				

Phasenkomparatoren

- Herkömmliche Phasenkomparatoren werden mit Operationsverstärkern als Gegentaktmischstufe ausgeführt. Das ist in CMOS nicht möglich. Die beiden internen Komparatoren sind daher digital ausgeführt.
- Frequenzbereich des Eingangssignals, in dem die PLL einrastet: Fangbereich
- Frequenzbereich des Eingangssignals, in dem die PLL eingerastet bleibt: Haltebereich
- Pin 3 nur für digitale CMOS-Signale
- Komparator 1 ist ein Exklusiv-OR; an Pin 14 sind bei seiner Nutzung Rechtecksignale (Ein/Ausschalt-Verhältnis 1) erforderlich.
- Liegt kein Signal an Pin 14, ist die mittlere Ausgangsspannung an Pin 2 $0,5 U_{DD}$. Der VCO schwingt daher auf seiner Mittelfrequenz f_0 . Die Grenzen des Haltebereichs liegen nahe den theoretisch erreichbaren zwischen Mittelfrequenz und VCO-Frequenz f_c . Der Fangbereich kann bei geeigneter Schleifenfilterauslegung gleich dem Rastbereich gewählt werden. Trotz hoher Störanteile (Rauschen) bleibt die PLL eingerastet. Ein weiterer Vorteil ist, daß sie auf Eingangsfrequenzen nahe der Harmonischen der VCO-Mittelfrequenz problemlos einrastet.
- Komparator 2 ist eine flankengesteuerte Speicherschaltung, bestehend aus vier Flipflop, einer Steuerschaltung und Tristate-Gegentaktausgang. Er arbeitet nur bei L/H-Flanken an Signal- und Komparatoreingang. Das Tastverhältnis ist daher unkritisch. Die Empfindlichkeit gegenüber Rauschen ist höher als bei Komparator 1.
- Ist die Frequenz an Pin 14 höher als an Pin 3, so erscheint am Ausgang (Pin 13) die meiste Zeit H-Pegel.

Schaltsymbol

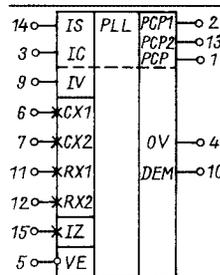


Bild 2: Schaltsymbol

Pinbelegung

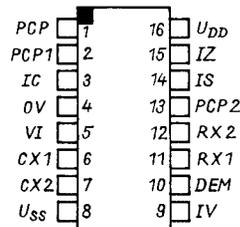


Bild 3: Anschlußbelegung

Diagramme

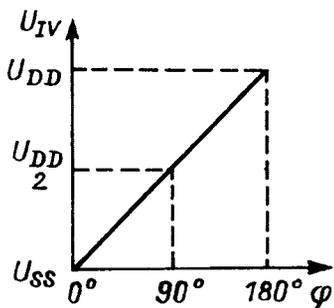


Bild 4: Abhängigkeit des Phasenwinkels von der Steuerspannung

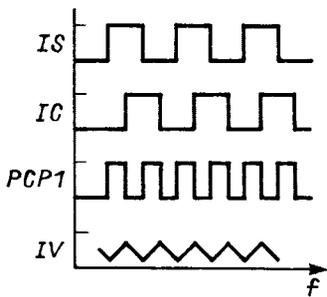


Bild 5: Typische Impulsformen bei Verwendung des Phasenkomparators 1

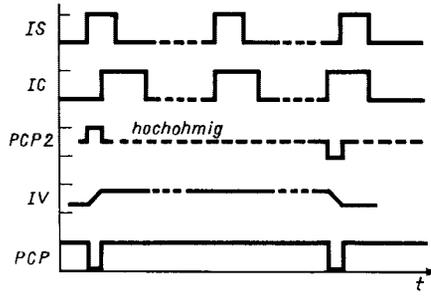


Bild 6: Typische Impulsformen bei Verwendung von Phasenkomparator 2

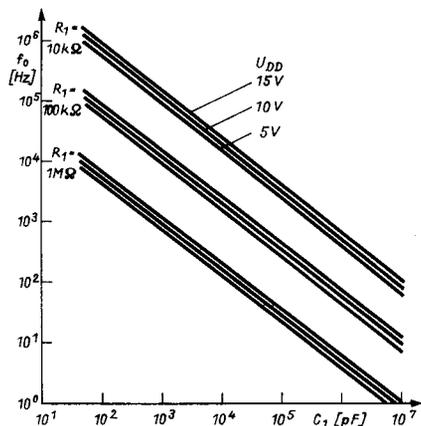


Bild 7: Oszillatorfrequenz als Funktion von C1

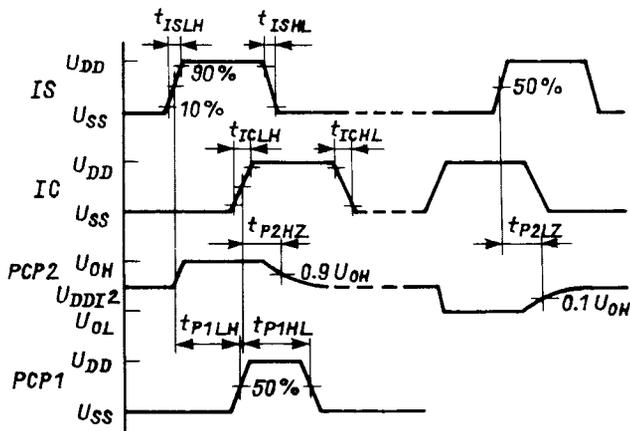


Bild 8: Impulsdiagramm, vgl. Tabelle „Dynamische Kennwerte“

Applikationsschaltung

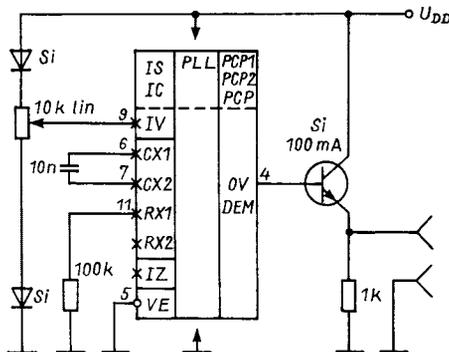


Bild 9: NF-Oszillator mit großem Frequenzbereich. Der Ermittlerwiderstand 1kΩ kann zur Amplitudeneinstellung als Potentiometer ausgebildet werden.

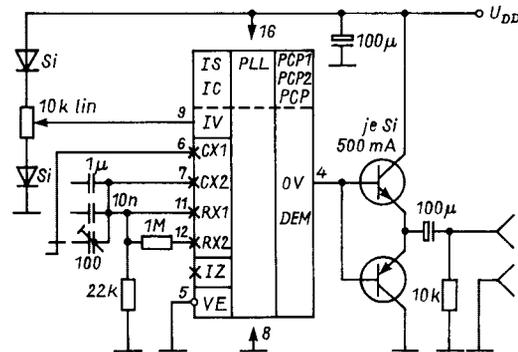


Bild 10: Rechteckgenerator mit drei Bereichen 0,5 Hz ... 50 Hz ... 5 kHz ... 500 kHz

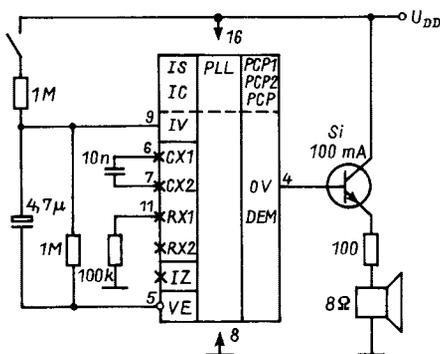


Bild 11: Elektronische Sirene mit an- und abschwellendem Ton

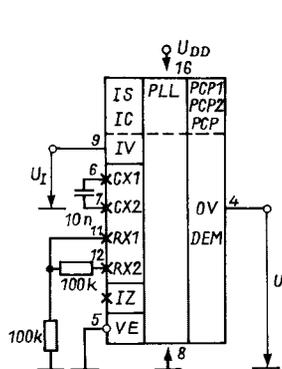


Bild 12: FSK-Generator ($U_1 = U_{DD} 2,4 \text{ kHz}$, $U_1 = U_{SS} 1,2 \text{ kHz}$)

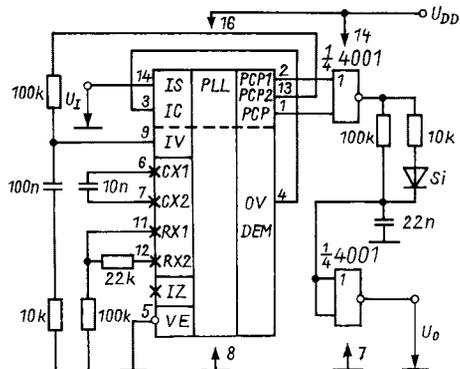


Bild 13: Frequenzindikator, Ausgang normalerweise L, bei 1,8 ... 2,2 kHz am Eingang H