

PLL-Synthesizerschaltkreis

U 1056 DD

Hersteller: VEB Mikroelektronik „Karl Marx“ Erfurt

TGL 42 663

Grenzwerte (im Betriebstemperaturbereich)

Parameter	Kurzzeichen	min.	max.
Betriebsspannung ¹	U _{DD}	[V] -0,3	11
Betriebsspannung ¹	U _{DDI}	[V] -0,3	U _{DD}
Eingangsspannung	U _i	[V] -0,3	U _{DD}
Eingangsspannung	U ₁	[V] -0,3	U _{DDI}
Ausgangsstrom	I _o	[mA] -10	10
Betriebstemperaturbereich	θ _a	[°C] -10	70
Lagerungstemperaturbereich	θ _{st}	[°C] -55	125

1 U_{DDI} immer kleiner oder gleich U_{DD}

Statische Kennwerte (U_{DD} = 10 V; U_{DDI} = 5,5 V)¹

Parameter	Kurzzeichen	min.	max.
Betriebsspannung	U _{DD}	[V] 8	10
Betriebsspannung	U _{DDI}	[V] 4,5	5,5
Eingangs-L-Spannung ²	U _{IL}	[V] 0	2,4
Eingangs-H-Spannung ²	U _{IH}	[V] U _{DD} - 2,4 V	U _{DD}
Eingangs-L-Spannung ³	U _{IL}	[V] 0	0,2 · U _{DDI}
Eingangs-H-Spannung ³	U _{IH}	[V] 0,8 · U _{DDI}	U _{DDI}
Ausgangs-L-Spannung ⁵	U _{OL}	[V] 0	0,5
Ausgangs-H-Spannung ^{4,8}	U _{OH}	[V] 7,5	
Ausgangs-L-Spannung ⁶	U _{OL}	[V] 0	1,0
Ausgangs-H-Spannung ^{4,7}	U _{OH}	[V] 7,0	
Statische Stromaufnahme	I _{DD}	[μA] 100	

1 falls nicht anders angegeben

2 nur für QRZ und FIN

3 nur DATA, DLEN, CLCK und REFE

4 bei U_{DD} = 8 V und U_{DDI} = 4,5 V

5 nur CMOD (I_o = 5 mA) und LOC, FU und FDN (I_o = 1 mA)

6 nur OSC (I_o = 1 mA) und CLO (I_o = 4 mA)

7 nur OSC (I_o = -1 mA) und CLO (I_o = -1,2 mA)

8 nur LOC, FU und FDN (I_o = -1 mA)

Kurzcharakteristik

● Der U 1056 DD ist ein PLL-Synthesizerschaltkreis, der zusammen mit einem diodenabgestimmten Tuner, einem HF-Vorteilerschaltkreis, einem aktiven Schleifen-(Loop-)Filter sowie einer Programmierereinheit ein komplettes Synthesizersystem für HF-Empfänger bildet.

● Der Schaltkreis ist vorrangig für den Einsatz der Konsumgüterelektronik vorgesehen.

● 16poliges DIL-Plastgehäuse

● CSGT-HV-Technologie

Internationaler Vergleichstyp

SAA 1056 (Valvo) (d. Red.)

Abweichung bei Pin 15 beachten!

Schaltsymbol/Pinbelegung

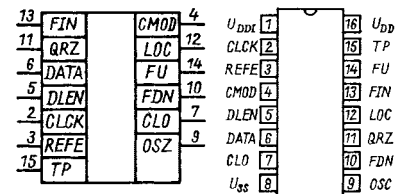


Bild 1: Schaltsymbol des U 1056 DD

Bild 2: Pinbelegung

Übersichtsschaltplan

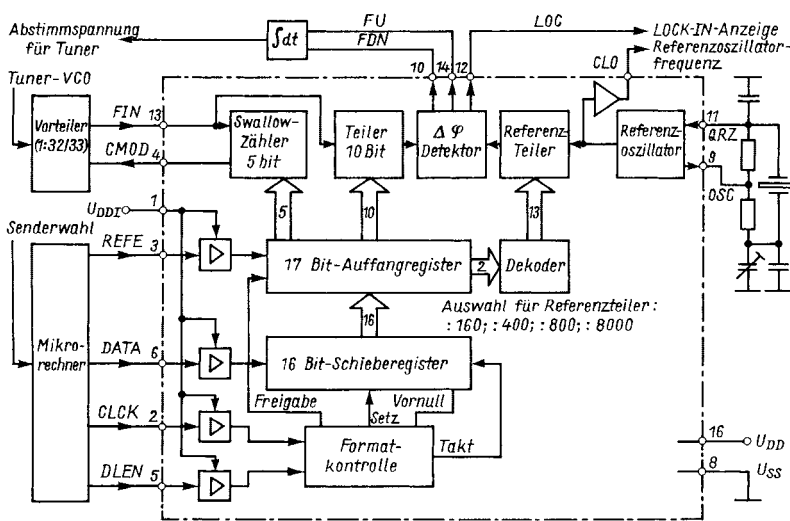


Bild 3: Übersichtsschaltplan des U 1056 DD

- U_{DD} Betriebsspannung
- U_{DDI} Speisespannung für die Pegelwandlerstufen
- U_{SS} Masse
- FIN Signaleingang
- DATA Eingang für serielle Datenübertragung
- CLCK Takteingang für die Datenübertragung
- DLEN Freigabeeingang für die Datenübertragung
- REFE Referenzteilerwahl
- QRZ Oszillatoreingang für die Referenzfrequenz
- TP Testpin (im Normalbetrieb an U_{SS})
- CMOD Ausgang (open drain) zur Steuerung des Vorteilers
- LOC Ausgang des Lock-In-Detektors
- FDN Nachstimmausgang zur Frequenzverringern
- FU Nachstimmausgang zur Frequenzerhöhung
- CLO Ausgang des Referenzoszillators zur Ansteuerung weiterer Schaltungen
- OSC Oszillatoreingang für die Referenzfrequenz

Dynamische Kennwerte

Parameter	Kurzzeichen	min.	max.
Eingangsfrequenz ¹	f_1 [MHz]	0	4
Eingangsfrequenz ²	f_1 [kHz]	0	100
Flankenzeiten ¹	$t_{THL} : t_{TLH}$ [ns]	—	50
Flankenzeiten ²	$t_{THL} : t_{TLH}$ [ns]	—	500
Tastverhältnis	t_p/T [%]	45	55

1 gültig für die Anschlüsse DATA, DLEN, CLK und REFE
 2 gültig für die Anschlüsse ORZ und FIN

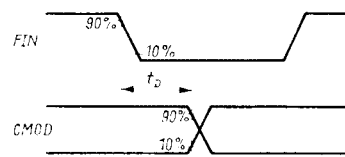


Bild 4: Zeitbeziehung FIN – CMOD

Funktionsbeschreibung

Der U 1056 DD enthält folgende Baugruppen:

- Teilerschaltung für die Eingangsfrequenz, bestehend aus einem 5-Bit-Swallow-Zähler und einem programmierbaren 10-Bit-Teiler. Das wirksame Teilverhältnis wird von den letzten 15 Bit des über den DATA-Eingang eingelesenen und zwischengespeicherten 17-Bit-Datenwortes bestimmt.

- 16-Bit-Schieberegister, das die seriell über DATA eingeschriebenen 17-Bit-Datenwörter nach einer Formatkontrolle an das Auffangregister weiterleitet.

- 17-Bit-Auffangregister zum Speichern der 15 Bit Daten für den Eingangsteiler und 2 Bit (REFE und REFI) für das Referenzfrequenzteilverhältnis.

- Formatkontrollschaltung zur Erkennung der Vornull und der Länge des Datenwortes.

- Frequenz/Phasen-Detektorschaltung, aus deren Ausgangssignal mit Hilfe eines externen Integrators die Abstimmspannung erzeugt wird. Falls die Abstimm Schleife nicht einrastet, wird ein zusätzliches Signal geliefert.

- Quarzoszillator zur Erzeugung der Referenzfrequenz mit entkoppeltem Ausgang zur externen Verwendung der Referenzfrequenz.

- Für die Teilverhältnisse 1:160, 1:400, 1:800 und 1:8000 programmierbarer 13-Bit-Referenzfrequenzteiler zum Erzeugen vier verschiedener Referenzfrequenzraster sowie ein Dekoder zur Programmierung dieses Teilers mittels REFE und REFI.

- Je ein Pegelumsetzer für die Eingangssignale DATA, DLEN, CLCK und REFE zur Ansteuerung mit TTL-Signalen.

Programmierung des Referenzfrequenzteilers

Die Programmierung erfolgt mittels REFI (Bestandteil des Steuerwortes) und REFE (Eingabe über gleichnamiges Pin).

Steuerbit REFI	Eingang REFE	Teilverhältnis	Teiler-ausgang
H	H	160	25 kHz
H	L	400	10 kHz
L	H	800	5 kHz
L	L	8000	0,5 kHz

Die angegebenen Teilerausgangsfrequenzen gelten für 4 MHz Referenzfrequenz.

Die eingestellte Teilerfrequenz wird dem Frequenz/Phasendetektor zugeführt; sie bestimmt das Abstimmraster des Empfangsgerätes.

Programmierung von 5-Bit-Swallow-Zähler und 10-Bit-Teiler

Das Gesamtverhältnis N , das aus umschaltbarem externen Vorteiler, Swallow-Zähler und 10-Bit-Teiler bestehenden Frequenzteilern, berechnet sich nach

$$N = N_S + (N_P \cdot P) \quad 0 \leq N_S \leq 31$$

$$N_P \geq 1$$

$$N_S < N_P \leq 1023$$

N_S = Teilverhältnis des Swallow-Zählers

N_P = Teilverhältnis des 10-Bit-Teilers

P = kleineres der wählbaren Teilverhältnisse des Vorteilers

Für den Einsatz eines 32/33:1-Vorteilers (z. B. U 1059/1159) ergeben sich N_{min} und N_{max} zu 1024 bzw. 32767, zwischen denen jedes ganzzahlige Teilverhältnis realisierbar ist.

Vorteiler-Steuer Ausgang CMOD

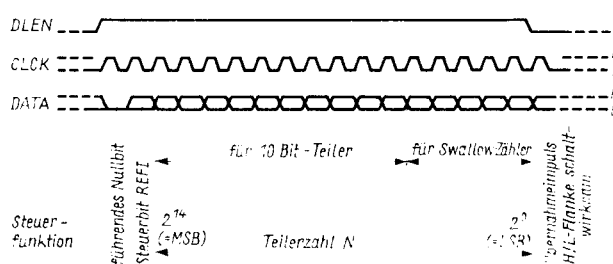
Der Swallow-Zähler erzeugt abhängig vom eingeschriebenen Datenwort ein Signal zur Umschaltung des Teilverhältnisses des externen Vorteilers.

CMOD = L – kleineres Teilverhältnis

CMOD = H – größeres Teilverhältnis

Das Signal CMOD erscheint mit einer Verzögerungszeit von $t_D \leq 150$ ns nach FIN (Bild 4).

Bild 5: Taktdiagramm für die serielle Datenübertragung und Datenwortaufbau



Frequenz/Phasen-Detektor

Die Frequenz/Phasen-Detektorschaltung liefert folgende Ausgangssignale:

LOC = L – PLL nicht eingerastet
 LOC = H – PLL eingerastet

FDN = L – Eingangsfrequenz zu hoch

FDN = H – Ausgang nicht aktiv

FU = L – Ausgang nicht aktiv

FU = H – Eingangsfrequenz zu niedrig

Die Signale FDN und FU werden einer externen Schleifenfilterschaltung zugeführt, die die Abstimmspannung für den Tuneroszillator (VCO) erzeugt.

Datenworterstellung

Das jeweils erforderliche Teilverhältnis N_x , das durch Swallow-Zähler und 10-Bit-Teiler zu realisieren ist, berechnet sich folgendermaßen:

$$N_x = f_{OSZ} / f_{ref} = (f_E + f_{ZF}) / f_{ref}$$

f_{OSZ} = Tuneroszillatorfrequenz

f_E = Empfangsfrequenz

f_{ZF} = Empfängerzwischenfrequenz

f_{ref} = Referenzfrequenz

Zu dieser Zahl N_x , die binär zu kodieren ist und die höchstens 15 Bit lang sein darf, werden das Steuerbit REFI und das führende Nullbit hinzugefügt. Die Übernahme der einzelnen Bits erfolgt am Eingang DATA bei den H/L-Flanken am Eingang CLCK. Während der Datenübertragung muß der Eingang DLEN auf H liegen.

Literatur

[1] Möller, K.-D.: Der PLL-Synthesizerschaltkreis U 1056 D und seine Anwendungen, Materialien des 12. Mikroelektronik-Bau-elemente-Symposiums 1987 in Frankfurt/O., Band 2, S. 177 ff.

[2] TGL 42 663