

CMOS-DDS-Baustein für maximal 125 MHz Eingangsfrequenz

Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_B		6	V
Eingangsspannung	U_E	-0,7	U_B	V
Ausgangsstrom für D/A-Wandler	I_A		5 30	mA

Kennwerte ($U_B = 5\text{ V}$, $R_{SET} = 3,9\text{ k}\Omega$, $\vartheta_A = 25\text{ }^\circ\text{C}$)

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
Verlustleistung im Power-down-Betrieb	P_{tot}		380	480	mW
Einsatztemperatur	ϑ_A	-40		85	$^\circ\text{C}$
Eingangsfrequenz	f_{IN}	1		125	MHz
Eingangspulsbreite	PW	3,2			ns
D/A-Wandler-Ausgangsstrom	I_{OUT}		10,24		mA
D/A-Wandler-Slew-Rate bei $R_L = 50\text{ }\Omega$ und $C_L = 2\text{ pF}$	SR		400		V/ μs
D/A-Wandler-Ausgangswiderstand	R_a	50	120		k Ω
Komparator-Eingangswiderstand	R_e	500			k Ω
Komparator-H-Ausgangsspannung	U_{AH}	4,8			V
Komparator-L-Ausgangsspannung	U_{AL}			400	mV
Komparator-Ausgangsjitter	t_{aj}		80		ps
H-Eingangsspannung	U_{EH}	3,5			V
L-Eingangsspannung	U_{EL}			400	mV

Kurzcharakteristik

- Betriebsspannung 3...5 V
- hochwertiger D/A-Wandler und schneller Komparator on chip
- 32-Bit-Wort für interne DDS
- einfache Steuerung mit paralleler oder serieller Dateneingabe
- Phasenmodulation möglich
- Leistungsaufnahme typisch 380 mW bei 5 V/ 125 MHz bzw. 155 mW bei 3,3 V/ 110 MHz
- Power-down-Funktion

Innenaufbau und Pinbelegung

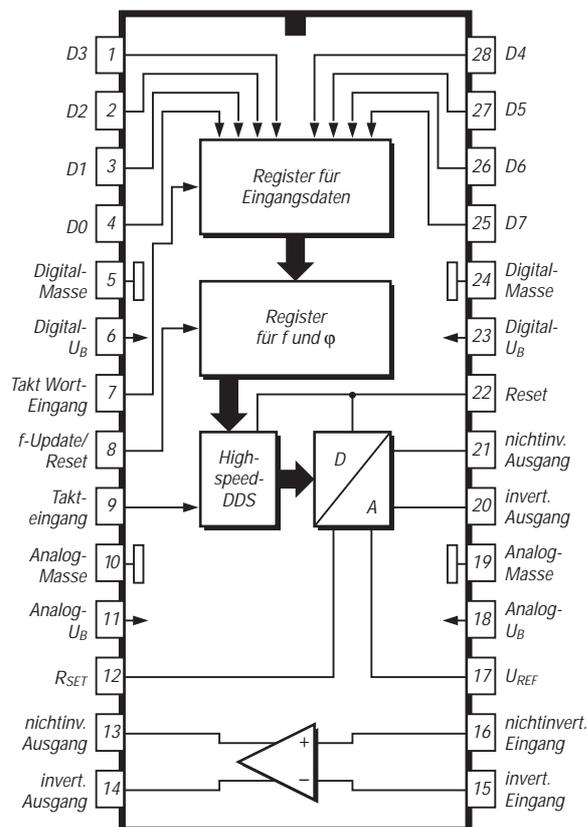


Bild 1: Interner Aufbau und Anschlußbelegung des DIL-Gehäuses

Beschreibung

Der AD 9850 bietet hochentwickelte DDS-Technologie in Verbindung mit einem sehr schnellen A/D-Wandler und Komparator zum Aufbau digital einstellbarer Frequenzsynthesizer. Das intern vom Register für Frequenz und Phase zum DDS-Block gegebene 32-Bit-Wort erlaubt bei 125 MHz Referenzfrequenz eine Auflösung von 29,1 mHz. Die Ausgangsfrequenz erreicht maximal den halben Wert der Referenzfrequenz.

Der Schaltkreis erlaubt eine digitale 5-Bit-Phasenmodulation des Ausgangssignals (11,25°, 22,5°, 45°, 90° und 180°).

Die Signale zur Frequenzänderung, Steuerung und Phasenmodulation können parallel oder seriell eingegeben werden. Das parallele Format besteht aus fünf sich wiederholenden Eingaben eines Steuerbytes (D0...7).

Die erste Eingabe steuert die Phasenmodulation, die Eingaben 2...5 steuern die Frequenz. Die serielle Eingabe umfaßt 40 Bits an Pin 25. Eine Frequenzänderung wird in maximal 18, eine Phasenänderung in maximal 13 Taktperioden ausgeführt.

Der AD 9850 ist im DIL- und im SSOP-Gehäuse erhältlich.

Wichtige Diagramme

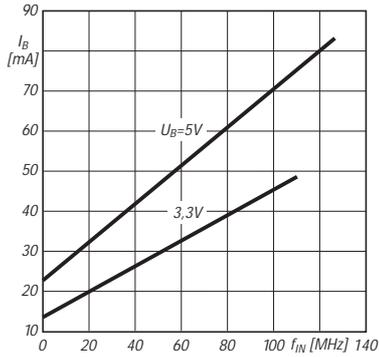


Bild 2: Stromaufnahme als Funktion der Referenzfrequenz, wobei die Ausgangsfrequenz 1/3 dieser beträgt

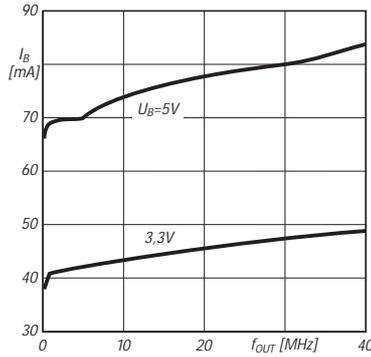


Bild 3: Stromaufnahme als Funktion der Ausgangsfrequenz bei maximaler Referenzfrequenz (110 bzw. 125 MHz)

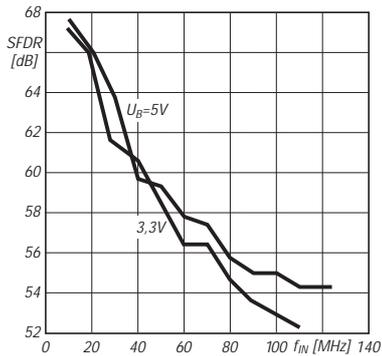


Bild 4: Störfreier Dynamikbereich über der Referenzfrequenz, wobei die Ausgangsfrequenz 1/3 dieser beträgt

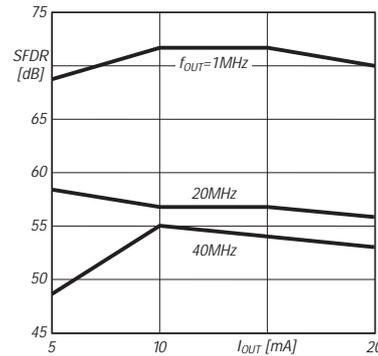


Bild 5: Störfreier Dynamikbereich als Funktion des D/A-Wandler-Ausgangsstroms für $f_{IN} = 3 f_{OUT}$

Grundsätzliche Einsatzschaltung

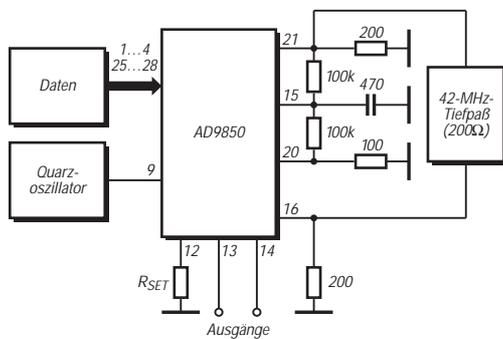


Bild 6: Prinzipielle Anwendungsschaltung als steuerbarer Sinusgenerator

Typisches Taktdiagramm

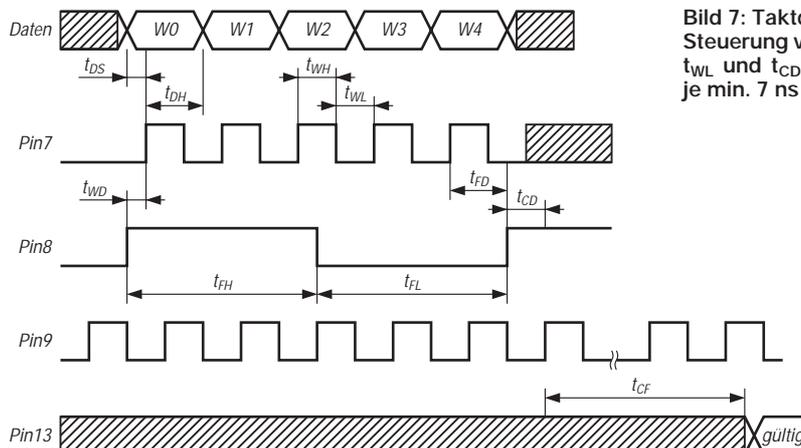


Bild 7: Taktdiagramm zur Funktion bei paralleler Steuerung von Frequenz und Phase: t_{DS} , t_{DH} , t_{WH} , t_{WL} und t_{CD} je min. 3,5 ns, t_{WD} , t_{FH} , t_{FL} und t_{FD} je min. 7 ns