

## PLL-Schaltkreis für niedrige und mittlere Frequenzen

### Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	$+U_B$		12	V
	$-U_B$	-12		V
Eingangsspannung	$U_e$		3	V <sub>SS</sub>
Verlustleistung	$P_{tot}$			
Dual-in-line-Gehäuse			300	mW
TO-5-Metallgehäuse			1,4	W
Lagertemperatur	$\vartheta_S$	-65	150	°C

### Kennwerte ( $U_B = \pm 6\text{ V}$ , $\vartheta_A = 25\text{ °C}$ )

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
Stromaufnahme	$I_B$		8	12,5	mA
höchste VCO-Frequenz bei $C_1 = 2,7\text{ pF}$	$f_{max}$				
LM 565		300	500		kHz
LM 565C		250	500		kHz
VCO-Freilaufbereich bei $C_1 = 1,5\text{ nF}$ , $R_1 = 20\text{ k}\Omega$ und $f = 10\text{ kHz}$	$\Delta f$				
LM 565		-10	0	+10	%
LM 565C		-30	0	-30	%
VCO-Steuercharakteristik bei $f = 10\text{ kHz}$			6,6		kHz/V
Temperaturkoeffizient der VCO-Frequenz	$TK_f$				
LM 565		-100			ppm/K
LM 565C		-200			ppm/K
Betriebsspannungsabhängigkeit der Frequenz	PSRR				
LM 565			0,1	1	%/V
LM 565C			0,2	1,5	%/V
Ausgangsspannung am Dreieck-Ausgang	$U_a$	2	2,4	3	V <sub>SS</sub>
am Rechteck-Ausgang		4,7	5,4		V <sub>SS</sub>
am Demodulator-Ausgang					
LM 565		250	300	400	V <sub>SS</sub>
LM 565C		200	300	450	V <sub>SS</sub>
Anstiegszeit Rechtecksignal	$t_r$		20		ns
Abfallzeit Rechtecksignal	$t_f$		50		ns
Klirrfaktor der Demodulator-Ausgangsspannung	$k$				
LM 565			0,2	0,75	%
LM 565C			0,2	1,5	%
Ausgangswiderstand an Pin 4	$R_a$		5		k $\Omega$
an Pin 7			3,5		k $\Omega$
Ausgangsstrom an Pin 4	$I_a$	0,6	1		mA
Gleichspannung an Pin 7	$U_7$				
LM 565		4,25	4,5	4,75	V
LM 565C		4	4,5	5	V

### Allgemeine Beschreibung

Die Schaltkreise LM 565 und LM 565C sind zum Aufbau einfacher PLL-Systeme vorgesehen. Sie enthalten einen stabilen, hochlinearen VCO für eine verzerrungsarme FM-Demodulation und einen Doppelbalance-Phasenvergleich mit guter Trägerunterdrückung. Zudem ist ein Verstärker für die VCO-Steuerspannung integriert, wobei auch ein Referenzspannungsausgang zugänglich ist. Die VCO-Mittenfrequenz wird über einen externen Widerstand und einen externen Kon-

densator bestimmt; dabei kann man mit der gleichen Kapazität eine weite Frequenzänderung erreichen. Die Freilauffrequenz errechnet sich zu  $0,3/(R_1 \cdot C_1)$ . Die charakteristischen Daten des PLL-Systems, wie Bandbreite, Reaktionszeit oder Fangbereich, können weitläufig ebenfalls über eine externe RC-Beschaltung beeinflusst werden. Zwischen VCO und Phasenkomparator läßt sich die Schleife unterbrechen, um einen Frequenzteiler einzusetzen.

### Kurzcharakteristik

- hohe VCO-Linearität und -Stabilität
- Nulldurchgang der Dreiecksspannung bei Phasengleichheit
- Phasenkomparatorausgang und Rechteckspannungsausgang TTL-kompatibel
- Lieferung im DIL- oder TO-5-Gehäuse
- Haltebereich zwischen  $\pm 1\%$  und  $\pm 60\%$  einstellbar
- auch für sehr niedrige VCO-Frequenzen im mHz-Bereich geeignet
- vielfältige Einsatzmöglichkeiten, z. B. in der Datensynchronisation, in Modems und Demodulatoren, zur Tondekodierung und Signalregeneration oder in Telemetrie-Empfängern

### Innenaufbau

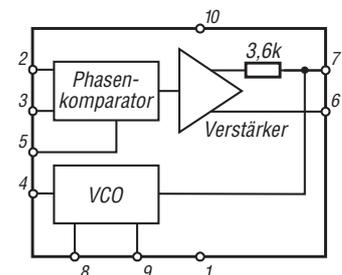


Bild 1: Interner Aufbau

### Pinbelegung

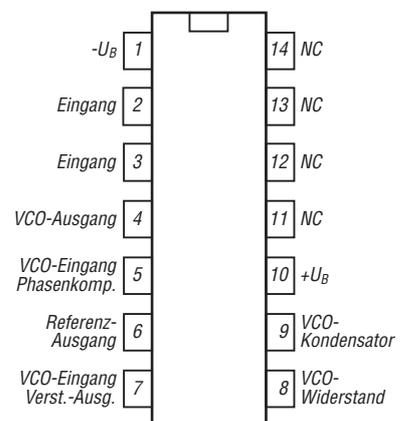
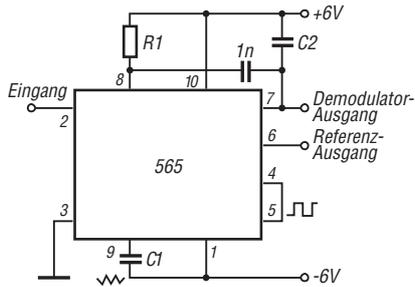
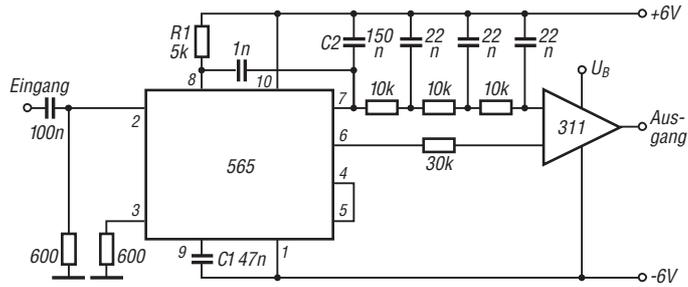


Bild 2: Anschlußbelegung

## Typische Anwendungsschaltungen

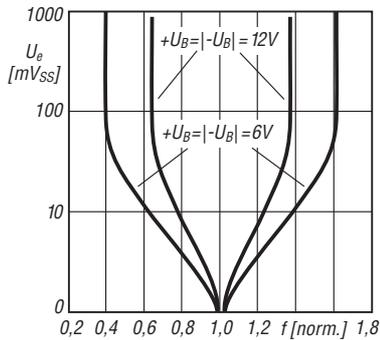


**Bild 3: Hochlinearer FM-Demodulator.** Der Mittelwert der Phasenkomparator-Ausgangsspannung ist wegen der linearen VCO-Steuerkennlinie proportional zur Frequenz des Eingangssignals. Diese Frequenz darf dabei um maximal  $\pm 60\%$  vom Nominalwert  $f_e = 0,3/(R_1 \cdot C_1)$  abweichen. Man dimensioniert  $f_e = 0,3/(R_1 \cdot C_1)$ . R1 sollte im Bereich 2 ... 20 k $\Omega$  gewählt werden; der günstigste Wert beträgt 4 k $\Omega$ . C2 bildet zusammen mit dem Ausgangswiderstand von Pin 7 ein einfaches Schleifenfilter.

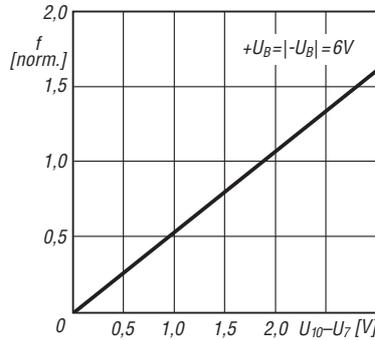


**Bild 4: FSK-Dekodierschaltung für die Frequenzen 1070 Hz und 1270 Hz.** Die PLL rastet auf jeder der beiden Frequenzen ein, wobei es zu unterschiedlichen Ausgangsgleichspannungen kommt. Der Schleifenfilterkondensator C2 verhindert dabei ein Überschwingen. Der dreistufige Tiefpaß entfernt den Trägeranteil aus dem Ausgangssignal. Die Grenzfrequenz liegt etwa in der Mitte zwischen höchster Tastrate (300 Baud entsprechend 150 Hz) und 2,2 kHz. Die Freilauffrequenz wurde mit C1 und R1 so gewählt, daß bei 1070 Hz eine hohe Ausgangsspannung auftritt. Der Komparator entkoppelt das Tiefpaßfilter und sichert die problemlose Ansteuerung diverser Logikeingänge. Der Eingangswiderstand hat mit 600  $\Omega$  einen Normwert.

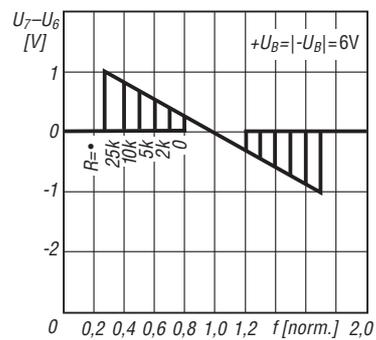
## Wichtige Diagramme



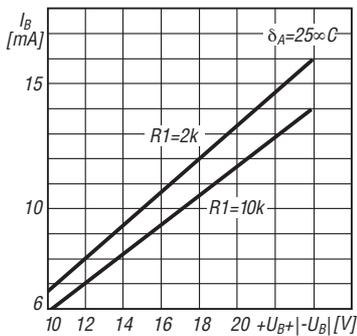
**Bild 5: Einrastbereich der PLL als Funktion der Eingangsspannung für zwei verschiedene Betriebsspannungsbeiträge.**



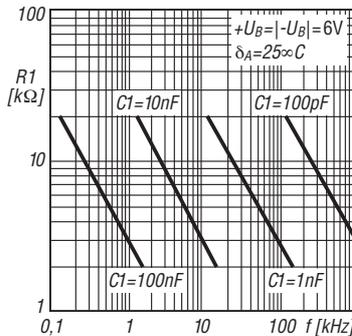
**Bild 6: Abhängigkeit der VCO-Freilauffrequenz von der Gleichspannung zwischen den Pins 7 und 10.**



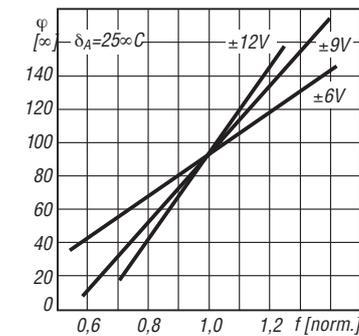
**Bild 7: Einrastbereich als Funktion des verstärkungsbestimmenden Widerstands zwischen Pin 6 und 7.**



**Bild 8: Stromverbrauch in Abhängigkeit von der Versorgungsspannung (Parameter: frequenzbestimmender Widerstand R1).**



**Bild 9: Praktisches Diagramm zur schnellen Ermittlung der frequenzbestimmenden Bauelemente R1 und C1.**



**Bild 10: Phasenverschiebung in Abhängigkeit von der VFO-Frequenzänderung mit den Betriebsspannungen als Parameter.**