

## 8-Bit-A/D-Wandler

### Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Speisespannung	$U_S$		7	V
Eingangsspannungen	$U_{I, Ref}$		$U_S$	-
Einsatztemperatur	$\partial_A$			
ZN 427 E-8			70	°C
ZN 427 J-8		-55	125	°C

### Kennwerte ( $\partial_A = 25\text{ °C}$ , ext. $U_{Ref} = 2,5\text{ V}$ )

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
Speisespannung	$U_S$	4,5		5,5	V
Linearitätsfehler	$F_{Lin}$		10,5l		LSB
Diff. Nichtlinearität	$F_D$		16l		ppm/K
Nullpunktfehler	$F_Z$		18l		$\mu\text{V/K}$

### Kurzcharakteristik

- leichte Konfigurierbarkeit mit Mikroprozessoren
- garantierte Umsetzgeschwindigkeit bei 900 kHz
- Taktfolge 10  $\mu\text{s}$
- Eingänge TTL- und CMOS-kompatibel
- Tristate-Datenausgänge, TTL-kompatibel
- externe oder interne Spannungsreferenz nutzbar
- hoher Komparator-Eingangswiderstand (100 k $\Omega$ )
- maximale Taktfrequenz 1 MHz

### Übersichtsschaltplan

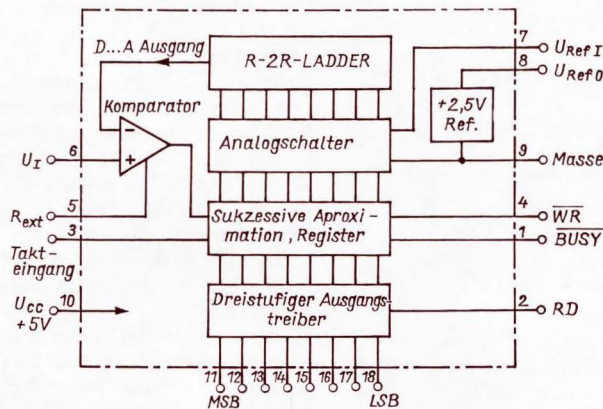


Bild 1: Innenaufbau des A/D-Wandlers

### Pinbelegung

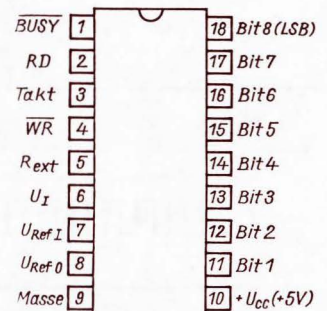


Bild 2: Anschlußbelegung der A/D-Wandler-IS

### Schaltung der Ein- und Ausgänge

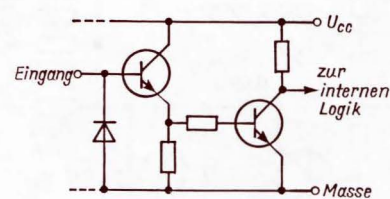
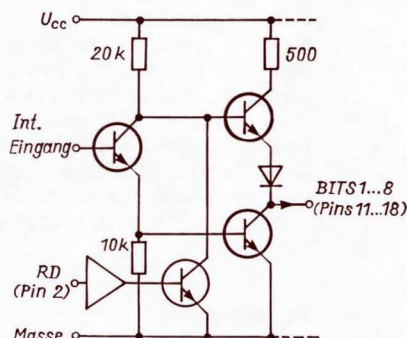


Bild 3: Interne Schaltung der Logikeingänge

◀ Bild 4: Interne Schaltung der Datenausgänge

## Diagramme für die Grundkonfigurationen

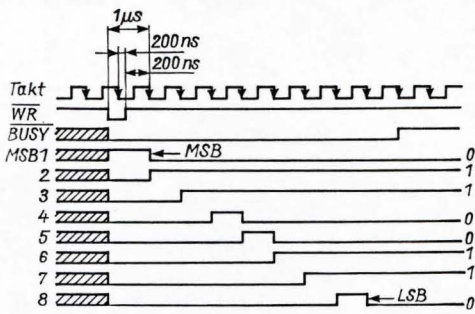


Bild 5: Zeitdiagramm zur Erfassung des digitalen Wertes 01100110

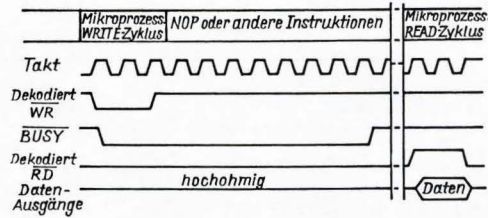


Bild 6: Typisches Zeitdiagramm bei Nutzung des Takt- und WR-Pulses eines Prozessors

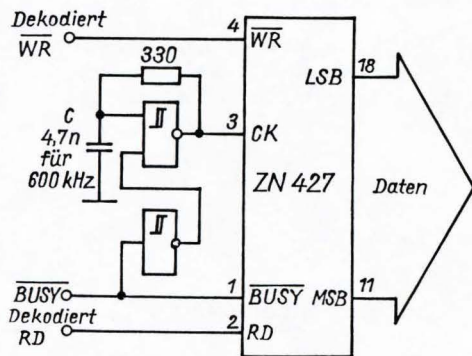


Bild 7: Eigensynchronisation des A/D-Wandlers

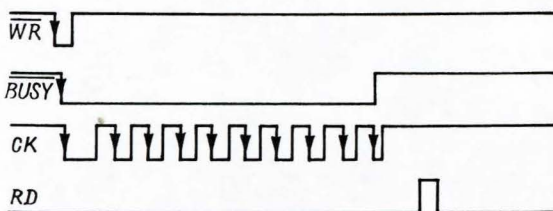


Bild 8: Zeitdiagramm für die Eigensynchronisation

## Beschreibung der Funktion

Der A/D-Wandler benutzt das bekannte Verfahren der sukzessiven Approximation. Auf eine negative Flanke am WR-Eingang hin erscheint L-Pegel am BUSY-Ausgang; das MSB wird auf H, alle anderen Bits werden auf L gesetzt. Dies entspricht einer Ausgangsspannung der Größe  $0,5 U_{Ref}$  des D/A-Wandlers. Es folgt ein Vergleich mit der Eingangsspannung  $U_I$ . Falls  $0,5 U_{Ref} > U_I$  zutrifft, wird mit der nächsten negativen Taktflanke das MSB auf L gesetzt. Im anderen Fall behält es seinen Wert. Bit 2 ist in beiden Fällen auf H gesetzt. Das bedeutet eine Ausgangsspannung des D/A-Wandlers der Größe  $0,25 U_{Ref}$  oder  $0,75 U_{Ref}$ . Wieder erfolgt der Vergleich mit  $U_I$ . Je nachdem, wie er ausfällt, führt das zum Rücksetzen von Bit 2 oder nicht. In beiden Fällen von Ungleichheit wird Bit 3 auf H gesetzt. So geht es weiter, bis keine Ungleichheit mehr zu registrieren ist. Bei der neunten negativen Flanke des Taktes schaltet der BUSY-Ausgang auf H und zeigt somit das Ende des Vergleichszyklus an.

Während jedes Zyklus wird der RD-Eingang normalerweise auf 0-Potential gehalten, so daß die Datenausgänge im hochohmigen Zustand sind. Bei H-Pegel an RD lassen sich die Daten auslesen. Für ein automatisches Aktivieren der Ausgänge kann man den BUSY-Ausgang mit dem RD-Eingang verbinden. Es werden dann nach jedem Zyklus die gültigen Daten bereitgestellt. Für das exakte Arbeiten der A/D-Wandler-IS sind bestimmte zeitliche Bedingungen zwischen dem Takt und dem Signal am Eingang WR einzuhalten. Diagramm Bild 5 verdeutlicht dies.

Neben der positiven benötigt der Baustein auch eine negative Betriebsspannung. Die Stromaufnahme aus dieser ausgesprochenen Hilfsspannung, deren Betrag zwischen 3 und 30 V liegen darf, ist unerheblich. Die Spannung wird deshalb über einen Widerstand angelegt, wobei sich sein Wert zu  $15 \text{ k}\Omega/\text{V}$  ergibt.

## Betrieb mit einfacher Speisespannung

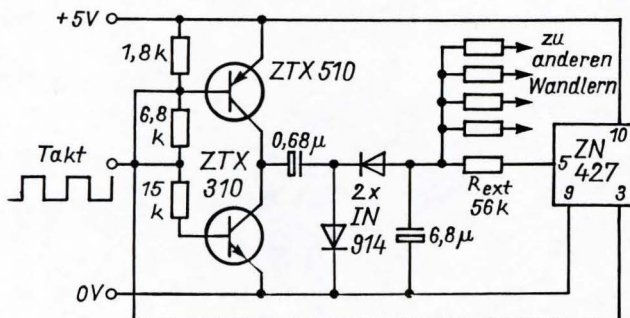


Bild 9: Erzeugung der Hilfsspannung aus der positiven Betriebsspannung. Maximal vier andere Wandler lassen sich mitversorgen.

## Bezugsquelle:

Der ZN 427 E wird von Reichelt-Elektronik zum Preis von 20,75 DM angeboten.