

PLL mit 4-Bit-Datenbus-Eingang

Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_B	-0,5	10	V
Stromaufnahme	I_B		30	mA
Gleichspannung an Ein- und Ausgängen	$U_{E/A}$	-0,5	$U_B + 0,5$ V	V
Ein- und Ausgangsstrom	$I_{E/A}$	-10	10	mA
Gesamtverlustleistung	P_{tot}		500	mW

Kennwerte ($U_B = 5$ V, $\vartheta_A = 25$ °C)

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
Betriebsspannung	U_B	3		9	V
Stromaufnahme bei $f = 10$ MHz, bei $U_A = 1$ V, bei $N = R = 128$, $A = 32$	I_B			7,5	mA
Ruhestromaufnahme bei $U_E = U_B$, bei $I_A = 0$	I_{B0}			1,2	mA
Eingangsspannungen	$U_{3/7}$			500	mV _{SS}
L-Eingangsspannung Oszillator	U_{7L}		5	0	V
H-Eingangsspannung Oszillator	U_{7H}			1,5	V
L-Eingangsspannung	U_{3L}			1,5	V
H-Eingangsspannung	U_{3H}		3,5		V
Eingangsströme bei $U_E = U_B$ oder 0	$I_{3/7}$	121		1251	μ A
Eingangskapazität	C_e			10	pF

Kurzcharakteristik

- Referenzoszillator, programmierbarer 12-Bit-Referenzteiler, Phasendetektor, programmierbarer 10-Bit-Teiler (:N), programmierbarer 7-Bit-Teiler (:A), Latches für 4-Bit-Dateneingang
- Ergänzung durch VCO und Schleifenfilter
- CMOS-Technologie, daher geringe Leistungsaufnahme
- Teilverhältnisse zwischen 3 und 4095 einstellbar
- auch externer Referenzoszillator einsetzbar
- Dual-Modulus-Datenbus
- „linearisierter“ Phasendetektor verbessert Gesamtlinearität
- Signalisierung Ausrastzustand über Open-collector- oder Gegentakt-Ausgang
- Chip-Komplexität: 5692 FETs entsprechend 1423 äquivalenten Gattern
- Grundversion: MC 145146-1, bezüglich Leistungsaufnahme, ESD- und Latch-up-Eigenschaften verbesserte Version: MC 145146-2

Interner Aufbau

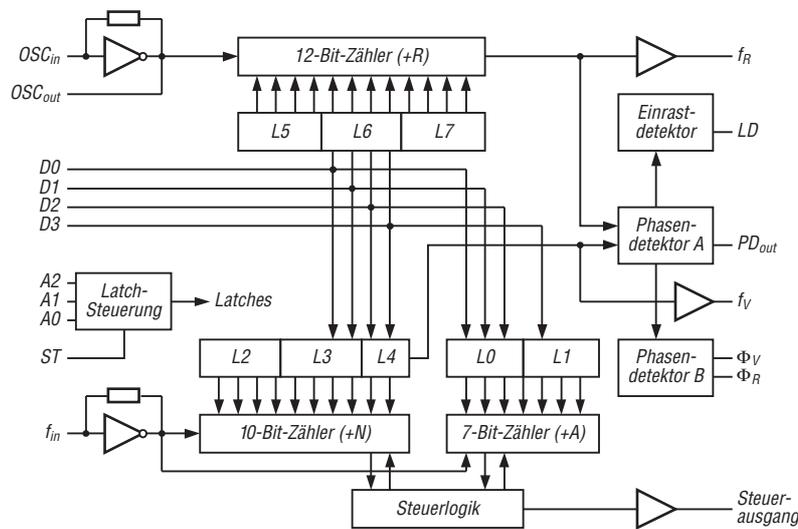


Bild 1: Innere Struktur des PLL-Frequenzsynthesizer-Schaltkreises mit drei diversen Teilern und Datenbus für Strobessignal (ST) und Adressen (A0 ... A2)

Pinbelegung

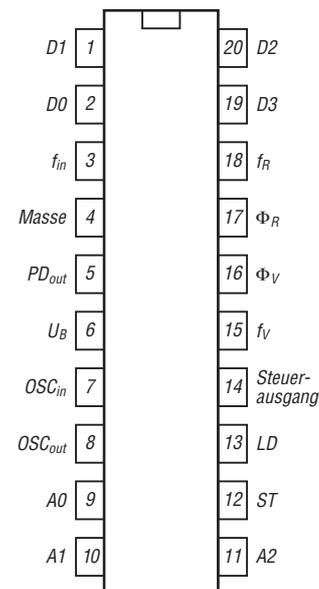


Bild 2: Anschlußbelegung des PLL-Schaltkreises